

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

#2/Priority
DKing
8/15/01

503.39864X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): SATOH, et al
Serial No.: Not assigned
Filed: March 16, 2001
Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD
THEREOF
Group: Not assigned



LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

March 16, 2001

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2000-238814 filed August 7, 2000.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

A handwritten signature in black ink, appearing to read "Gregory E. Montone".

Gregory E. Montone
Registration No. 28,141

GEM/amr
Attachment
(703) 312-6600

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

J1017 U.S. PTO
09/809181
03/16/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 8月 7日

出願番号
Application Number:

特願2000-238814

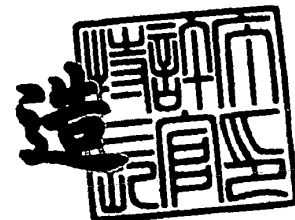
出願人
Applicant(s):

株式会社日立製作所

2001年 2月16日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3008080

【書類名】 特許願

【整理番号】 H4077

【提出日】 平成12年 8月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/60

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号 株式会社 日立
製作所 日立研究所内

【氏名】 佐藤 俊也

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号 株式会社 日立
製作所 日立研究所内

【氏名】 荻野 雅彦

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号 株式会社 日立
製作所 日立研究所内

【氏名】 瀬川 正則

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地 株式会社 日
立製作所 生産技術研究所内

【氏名】 山口 欣秀

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地 株式会社 日
立製作所 生産技術研究所内

【氏名】 天明 浩之

【発明者】

【住所又は居所】 茨城県土浦市神立町502番地 株式会社 日立製作所
機械研究所内

【氏名】 風間 敦

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社 日立製作所 半導体グループ内

【氏名】 安生 一郎

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社 日立製作所 半導体グループ内

【氏名】 西村 朝雄

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100078134

【弁理士】

【氏名又は名称】 武 顕次郎

【手数料の表示】

【予納台帳番号】 006770

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 一面に集積回路及び電極パッドが形成された半導体ウェハを切断用スクライブラインに沿って切断することによって得られる半導体素子と、前記半導体素子上に設けた応力緩衝層と、前記電極パッド上の前記応力緩衝層に設けた開口を通して前記電極パッドから前記応力緩衝層上面まで延びるリード配線部と、前記応力緩衝層上面の前記リード配線部上に配置した外部電極と、前記外部電極の配置部分を除いた前記応力緩衝層上及び前記導電部分上に設けた導体部保護層とを有する半導体装置において、前記応力緩衝層、前記リード配線部、前記導体部保護層、前記外部電極は、前記半導体素子の端部表面上の各端面が前記切断用スクライブラインよりも内側に形成され、前記半導体素子の端部表面におけるその端面から前記スクライブラインの内側までの範囲を露出していることを特徴とする半導体装置。

【請求項 2】 前記導体部保護層は、端面が前記応力緩衝層の端面よりも内側に形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記導体部保護層は、端面が前記応力緩衝層の端面よりも外側に形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記応力緩衝層は、端部領域の厚さが前記端面に行くに従ってテーパ状に薄く形成されていることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

【請求項 5】 一面に集積回路及び電極パッドが形成された半導体ウェハを切断用スクライブラインに沿って切断することによって得られる半導体素子と、前記半導体素子上に設けた半導体素子保護層と、前記半導体素子保護層上に設けた応力緩衝層と、前記電極パッド上の前記半導体素子保護層に設けた第 1 開口と、前記電極パッド上の前記応力緩衝層に設けた第 2 開口と、前記電極パッドから前記第 1 開口及び前記第 2 開口をそれぞれ通して前記応力緩衝層上面まで延びるリード配線部と、前記応力緩衝層上面の前記リード配線部上に配置した外部電極

と、前記外部電極の配置部分を除いた前記応力緩衝層上及び前記導電部分上に設けた導体部保護層とを有する半導体装置において、前記半導体素子保護層、前記応力緩衝層、前記リード配線部、前記導体部保護層、前記外部電極は、前記半導体素子の端部表面上の各端面が前記切断用スクライブラインよりも内側に形成され、前記半導体素子の端部表面におけるその端面から前記スクライブラインの内側までの範囲を露出していることを特徴とする半導体装置。

【請求項 6】 前記導体部保護層は、端面が前記応力緩衝層の端面よりも内側に形成されていることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 前記導体部保護層は、端面が前記応力緩衝層の端面よりも外側に形成されていることを特徴とする請求項 5 に記載の半導体装置。

【請求項 8】 前記半導体素子保護層は、端面が前記応力緩衝層の端面よりも外側に形成されていることを特徴とする請求項 6 または 7 のいずれかに記載の半導体装置。

【請求項 9】 前記半導体素子保護層は、端面が前記応力緩衝層の端面よりも内側に形成されていることを特徴とする請求項 6 または 7 のいずれかに記載の半導体装置。

【請求項 10】 前記応力緩衝層は、端部領域の厚さが前記端面に行くに従ってテーパ状に薄く形成されていることを特徴とする請求項 4 乃至 9 のいずれかに記載の半導体装置。

【請求項 11】 半導体ウェハの回路形成面に集積回路及び電極パッドを有する複数の半導体素子を形成する第 1 工程と、前記複数の半導体素子上に応力緩衝層を形成する第 2 工程と、前記応力緩衝層の前記電極パッド上に開口を形成するとともに、前記半導体ウェハの切断用スクライブライン上の前記応力緩衝層に前記スクライブラインの幅より広い切欠部を形成する第 3 工程と、前記開口を通して前記電極パッドから前記応力緩衝層上に至るリード配線部を形成する第 4 工程と、前記応力緩衝層及び前記リード配線部を覆うとともに、前記リード配線部上に外部電極接続用窓部を有し、前記応力緩衝層の切欠部に対応した位置に切欠部を有する導体部保護層を形成する第 5 工程と、前記外部電極接続用窓部に外部電極を形成する第 6 工程と、前記半導体ウェハを前記切断用スクライブラインに

沿って切断し、複数の最小単位の半導体装置を得る第 7 工程とを経て半導体装置を製造することを特徴とする半導体装置の製造方法。

【請求項 1 2】 前記第 5 工程における前記導体部保護層の切欠部は、その切欠部によって得られる端面を、前記半導体ウェハの切断用スクライブラインよりも内側に形成するものであることを特徴とする請求項 1 1 に記載の半導体装置の製造方法。

【請求項 1 3】 前記第 5 工程における前記導体部保護層の切欠部は、その切欠部によって得られる端面を、前記応力緩衝層の切欠部により形成される端面よりも内側に形成するものであることを特徴とする請求項 1 2 に記載の半導体装置の製造方法。

【請求項 1 4】 前記第 5 工程における前記導体部保護層の切欠部は、その切欠部によって得られる端面を、前記応力緩衝層の切欠部により形成される端面よりも外側に形成するものであることを特徴とする請求項 1 2 に記載の半導体装置の製造方法。

【請求項 1 5】 半導体ウェハの回路形成面に集積回路及び電極パッドを有する複数の半導体素子を形成する第 1 工程と、前記複数の半導体素子上に半導体素子保護層を形成する第 2 工程と、前記半導体素子保護層の前記電極パッド上に第 1 開口を形成するとともに、前記半導体ウェハの切断用スクライブライン上の前記半導体素子保護層に前記スクライブラインの幅より広い切欠部を形成する第 3 工程と、前記半導体素子保護層上に応力緩衝層を形成する第 4 工程と、前記応力緩衝層の前記電極パッド上に第 2 開口を形成するとともに、前記半導体ウェハの切断用スクライブライン上の前記応力緩衝層に前記半導体素子保護層の切欠部に対応した位置に切欠部を形成する第 5 工程と、前記第 1 開口及び前記第 2 開口を通して前記電極パッドから前記応力緩衝層上に至るリード配線部を形成する第 6 工程と、前記応力緩衝層及び前記リード配線部を覆うとともに、前記リード配線部上に外部電極接続用窓部を有し、前記応力緩衝層の切欠部に対応した位置に切欠部を有する導体部保護層を形成する第 7 工程と、前記外部電極接続用窓部に外部電極を形成する第 8 工程と、前記半導体ウェハを前記切断用スクライブラインに沿って切断し、複数の最小単位の半導体装置を得る第 9 工程とを経て半導体

装置を製造することを特徴とする半導体装置の製造方法。

【請求項 1 6】 前記第 4 工程における前記応力緩衝層の切欠部は、その切欠部によって得られる端面を、前記半導体ウェハの切断用スクライブラインよりも内側に形成するものであることを特徴とする請求項 1 5 に記載の半導体装置の製造方法。

【請求項 1 7】 前記第 4 工程における前記応力緩衝層の切欠部は、その切欠部によって得られる端面を、前記半導体素子保護層の切欠部により形成される端面よりも内側に形成するものであることを特徴とする請求項 1 6 に記載の半導体装置の製造方法。

【請求項 1 8】 前記第 4 工程における前記応力緩衝層の切欠部は、その切欠部によって得られる端面を、前記半導体素子保護層の切欠部により形成される端面よりも外側に形成するものであることを特徴とする請求項 1 6 に記載の半導体装置の製造方法。

【請求項 1 9】 前記第 4 工程における前記応力緩衝層の切欠部は、その切欠部によって得られる端面を、前記半導体素子保護層の切欠部により形成される端面と同一面になるように形成するものであることを特徴とする請求項 1 6 に記載の半導体装置の製造方法。

【請求項 2 0】 前記第 7 工程における前記導体部保護層の切欠部は、その切欠部によって得られる端面を、前記半導体ウェハの切断用スクライブラインよりも内側に形成するものであることを特徴とする請求項 1 5 に記載の半導体装置の製造方法。

【請求項 2 1】 前記第 7 工程における前記導体部保護層の切欠部は、その切欠部によって得られる端面を、前記半導体素子保護層の切欠部により形成される端面よりも内側に形成するものであることを特徴とする請求項 2 0 に記載の半導体装置の製造方法。

【請求項 2 2】 前記第 7 工程における前記導体部保護層の切欠部は、その切欠部によって得られる端面を、前記半導体素子保護層の切欠部により形成される端面よりも外側に形成するものであることを特徴とする請求項 2 0 に記載の半導体装置の製造方法。

【請求項 2 3】 前記第 7 工程における前記導体部保護層の切欠部は、その切欠部によって得られる端面を、前記半導体素子保護層の切欠部により形成される端面と同一面になるように形成するものであることを特徴とする請求項 2 0 に記載の半導体装置の製造方法。

【請求項 2 4】 前記第 7 工程における前記導体部保護層の切欠部は、その切欠部によって得られる端面を、前記半導体素子保護層の切欠部により形成される端面及び前記応力緩衝層の切欠部により形成される端面よりも内側に形成するものであることを特徴とする請求項 1 6 または 2 0 のいずれかに記載の半導体装置の製造方法。

【請求項 2 5】 前記第 7 工程における前記導体部保護層の切欠部は、その切欠部によって得られる端面を、前記半導体素子保護層の切欠部により形成される端面及び前記応力緩衝層の切欠部により形成される端面よりも外側に形成するものであることを特徴とする請求項 1 6 または 2 0 のいずれかに記載の半導体装置の製造方法。

【請求項 2 6】 前記第 7 工程における前記導体部保護層の切欠部は、その切欠部によって得られる端面を、前記半導体素子保護層の切欠部により形成される端面と前記応力緩衝層の切欠部により形成される端面との間に形成するものであることを特徴とする請求項 1 6 または 2 0 のいずれかに記載の半導体装置の製造方法。

【請求項 2 7】 前記第 7 工程における前記導体部保護層の切欠部は、その切欠部によって得られる端面を、前記半導体素子保護層の切欠部により形成される端面及び前記応力緩衝層の切欠部により形成される端面と同一面になるように形成するものであることを特徴とする請求項 1 6 または 2 0 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に係わり、特に、半導体素子が少なくとも応力緩衝層と半導体保護層とを有し、これらの層の端面位置を半導体ウエハ

上に形成されている切断用スクライブラインよりも内側に形成し、半導体素子の端部表面における端面からスクライブライン内側までの範囲を露出させた半導体装置及びその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

近年、各種の電子デバイスにおいては、小型化や高性能化の要求が高まり、それらの要求に伴って電子デバイスに用いられる半導体装置についても、高度の集積回路化や高密度実装化とともに、情報処理速度の高速化が要求されるようになってきている。すなわち、これらの要求に対応して、半導体装置は、実装密度を向上させるためにピン挿入型から表面実装型へ移行しつつあり、また、多ピン化への対応のために、DIP (dual inline package) から QFP (quad flat package) や PGA (pin grid array) 等の各種パッケージが開発されるようになった。

【 0 0 0 3 】

しかしながら、QFPは、パッケージの周辺部に、実装基板との接続を行う接続リードが集中しており、接続リード自体が細くて変形し易いものであるため、多ピン化が進むに従って実装が困難になりつつある。また、PGAは、実装基板と接続するための端子が細長く、かなりの数の端子が集中配置されているため、特性上情報の高速処理を行うことが難しく、しかも、ピン挿入型であるため、表面実装ができず、高密度実装において不利になっている。

【 0 0 0 4 】

最近になって、これらのパッケージが有する各種の課題を解決し、情報の高速処理に対応可能な半導体装置を実現するために、半導体素子と配線回路部を形成した基板との間に応力緩衝層を配置し、配線回路部が形成された基板の実装基板面側に外部端子となるバンプ電極を備えたBGA (ball grid array) パッケージが開発され、その内容が米国特許第5148265号明細書に開示されている。この米国特許第5148265号明細書に開示のパッケージは、実装基板と接続する端子がボール状の半田であるので、QFPのように接続リードに変形が生じることはなく、実装面全体に端子が分散配置されていることか

ら端子間のピッチが大きくなり、表面実装を行うことが容易になる。また、PGAに比べても、外部端子となるバンプ電極の長さが短いため、インダクタンス成分が小さくなり、情報処理速度を速め、情報の高速処理が可能になるものである。

【 0 0 0 5 】

一方、近年においては、携帯情報端末機器が普及するのに伴い、半導体装置の小型化や高密度実装化の要求が高まっている。このため、最近では、パッケージサイズがチップとほぼ同じ大きさのCSP (Chip scale package) が開発されており、例えば、日経BP社発行 (1998年2月) の「日経マイクロデバイス」 (pp 38～64) には、種々のタイプのCSPが開示されている。ここに開示されているCSPは、配線層が形成されたポリイミドやセラミック基板上に、個片に切断された半導体素子を接着した後で、配線層と半導体素子とをワイヤボンディングやシングルポイントボンディング、ギャングボンディング、バンプボンディング等の手段によって電氣的に接続し、それらの接続部を樹脂封止し、最後に半田バンプ等の外部端子を形成することによって製造されるものである。

【 0 0 0 6 】

また、特開平9-232256号公報や特開平10-27827号公報には、このCSPを大量生産するための製造方法についての開示がある。これらの製造方法は、半導体ウェハ上にバンプを形成し、配線基板をこのバンプを介して電氣的に接続した後で、接続部分を樹脂封止し、配線基板上に外部電極を形成し、最後に半導体ウェハを個片に切断することにより個々の半導体装置を製造しているものである。さらに、日経BP社発行 (1998年4月) の「日経マイクロデバイス」 (pp 164～167) には、別のCSPを大量生産するための製造方法についての開示がある。この製造方法は、半導体ウェハ上にメッキによりバンプを形成し、バンプ以外の部分を樹脂封止し、前記バンプ部分に外部電極を形成した後で、半導体ウェハを個片に切断して個々の半導体装置を製造している。この他にも、特開平10-92865号公報には、外部電極と半導体素子との間に応力を緩衝する樹脂層を備えたタイプの半導体装置について開示されているもので

、この半導体装置は、半導体ウェハ単位で一括して加工した後で、最後に半導体ウェハを個片化することによって個々の半導体装置を製造している。

【 0 0 0 7 】

【発明が解決しようとする課題】

前記半導体装置のように、半導体ウェハ単位で一括して複数の樹脂層や外部電極等を形成し、その後に半導体ウェハを切断（ダイシング）して個片化することにより個々の半導体装置を製造しているタイプの半導体装置（半導体パッケージ）は、半導体ウェハに順に形成した複数の樹脂層の界面領域が半導体パッケージの端面に露出した構成のものであるため、半導体ウェハのダイシング時に複数の樹脂層の界面領域に大きな機械的応力が加わった場合や、半導体パッケージの実装時に印加される急激な温度変動に伴い複数の樹脂層の界面領域に大きな熱応力が加わった場合等においては、半導体パッケージの端面に露出している半導体素子と複数の樹脂層との界面領域にそれらの応力が集中的に加わり、それによって複数の樹脂層の1つまたはそれ以上が剥離するようになって、半導体パッケージが破損してしまうことがある。

【 0 0 0 8 】

このように、既知のこの種の半導体装置は、必ずしも高い信頼性を得ることができないものであり、しかも、必ずしも高い製造歩留まりを得ることが難しいものであった。

【 0 0 0 9 】

本発明は、このような技術的背景に鑑みてなされたもので、その目的は、半導体ウェハの切断時や半導体装置の実装時に集中的な応力が加わる構成部分をその応力に耐え得るようにし、応力の印加に伴う半導体装置の破損の発生を大幅に低減させ、信頼性が高く、製造歩留まりが良好な半導体装置及びその製造方法の提供することにある。

【 0 0 1 0 】

【課題を解決するための手段】

前記目的を達成するために、本発明による半導体装置は、一面に集積回路及び電極パッドが形成された半導体ウェハを切断用スクライブラインに沿って切断す

ることによって得られる半導体素子と、半導体素子上に設けた応力緩衝層と、電極パッド上の応力緩衝層に設けた開口を通して電極パッドから応力緩衝層上面まで延びるリード配線部と、応力緩衝層上面のリード配線部に配置した外部電極と、外部電極の配置部分を除いた応力緩衝層上及び導電部分上に設けた導体部保護層とを有するものであって、応力緩衝層、リード配線部、導体部保護層、外部電極は、半導体素子の端部表面上の各端面が切断用スクライブラインよりも内側に形成され、半導体素子の端部表面におけるその端面からスクライブラインの内側までの範囲を露出するようにした手段を具備する。

【 0 0 1 1 】

前記目的を達成するために、本発明による半導体装置は、一面に集積回路及び電極パッドが形成された半導体ウェハを切断用スクライブラインに沿って切断することによって得られる半導体素子と、半導体素子上に設けた半導体素子保護層と、半導体素子保護層上に設けた応力緩衝層と、電極パッド上の半導体素子保護層に設けた第 1 開口と、電極パッド上の応力緩衝層に設けた第 2 開口と、電極パッドから第 1 開口及び第 2 開口をそれぞれ通して応力緩衝層上面まで延びるリード配線部と、応力緩衝層上面のリード配線部に配置した外部電極と、外部電極の配置部分を除いた応力緩衝層上及び導電部分上に設けた導体部保護層とを有するものであって、半導体素子保護層、応力緩衝層、リード配線部、導体部保護層、外部電極は、半導体素子の端部表面上の各端面が前記切断用スクライブラインよりも内側に形成され、半導体素子の端部表面におけるその端面からスクライブラインの内側までの範囲を露出するようにした手段を具備する。

【 0 0 1 2 】

また、前記目的を達成するために、本発明による半導体装置の製造方法は、半導体ウェハの回路形成面に集積回路及び電極パッドを有する複数の半導体素子を形成する第 1 工程と、複数の半導体素子上に応力緩衝層を形成する第 2 工程と、応力緩衝層の電極パッド上に開口を形成するとともに、半導体ウェハの切断用スクライブライン上の応力緩衝層にスクライブラインの幅より広い切欠部を形成する第 3 工程と、開口を通して電極パッドから応力緩衝層上に至るリード配線部を形成する第 4 工程と、応力緩衝層及びリード配線部を覆うとともに、リード配線

部上に外部電極接続用窓部を有し、応力緩衝層の切欠部に対応した位置に切欠部を有する導体部保護層を形成する第5工程と、外部電極接続用窓部に外部電極を形成する第6工程と、半導体ウェハを切断用スクライブラインに沿って切断し、複数の最小単位の半導体装置を得る第7工程とを経て半導体装置を製造する手段を具備する。

【 0 0 1 3 】

前記目的を達成するために、本発明による半導体装置の製造方法は、半導体ウェハの回路形成面に集積回路及び電極パッドを有する複数の半導体素子を形成する第1工程と、複数の半導体素子上に半導体素子保護層を形成する第2工程と、半導体素子保護層の電極パッド上に第1開口を形成するとともに、半導体ウェハの切断用スクライブライン上の半導体素子保護層にスクライブラインの幅より広い切欠部を形成する第3工程と、半導体素子保護層上に応力緩衝層を形成する第4工程と、応力緩衝層の電極パッド上に第2開口を形成するとともに、半導体ウェハの切断用スクライブライン上の応力緩衝層に半導体素子保護層の切欠部に対応した位置に切欠部を形成する第5工程と、第1開口及び第2開口を通して電極パッドから応力緩衝層上に至るリード配線部を形成する第6工程と、応力緩衝層及びリード配線部を覆うとともに、リード配線部上に外部電極接続用窓部を有し、応力緩衝層の切欠部に対応した位置に切欠部を有する導体部保護層を形成する第7工程と、外部電極接続用窓部に外部電極を形成する第8工程と、半導体ウェハを切断用スクライブラインに沿って切断し、複数の最小単位の半導体装置を得る第9工程とを経て半導体装置を製造する手段を具備する。

【 0 0 1 4 】

前記各手段によれば、半導体素子の端部表面領域における、応力緩衝層及び導体部保護層の各端面、または、半導体素子保護層、応力緩衝層及び導体部保護層の各端面が半導体ウェハの切断用スクライブラインよりも内側になるように形成し、半導体素子の端面からスクライブラインの内側までの範囲を露出した状態にしているので、半導体ウェハを切断用スクライブラインに沿って切断する際に、半導体ウェハに付された位置合わせマークを確実に認識しながら切断することができ、得られた各半導体装置の切断位置のずれに伴う半導体パッケージの不良の

発生をなくすことができる。

【 0 0 1 5 】

また、前記各手段によれば、半導体ウェハの切断によって各半導体装置を得るときに、各半導体装置の切断部を半導体素子だけの単層構造にし、半導体ウェハの切断時に機械的応力が発生しても、その機械的応力が単層構造に加わるだけであるので、機械的応力による複数の樹脂層が剥離することはない。

【 0 0 1 6 】

さらに、前記各手段によれば、各半導体装置の実装時に、大きく変化する環境温度に伴う熱応力が発生し、その熱応力が複数の樹脂層に加わったとしても、半導体ウェハの切断時に複数の樹脂層に大きな機械的応力が加わっておらず、複数の樹脂層が殆んどダメージを受けていないことから、熱応力によって複数の樹脂層に剥離を生じることが皆無かまたは極めて少なくなる。

【 0 0 1 7 】

このように、前記各手段によれば、機械的応力及び熱応力の印加により、半導体装置の破損の発生が皆無かまたは極めて少なくなり、半導体装置の信頼性を高めることができ、半導体装置製造時の歩留まりを高めることができる。

【 0 0 1 8 】

【発明の実施の形態】

以下、本発明による半導体装置及びその製造方法の実施の形態を図面を参照して説明する。

【 0 0 1 9 】

図 1 は、本発明の第 1 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 0 2 0 】

図 1 において、1 は半導体素子、1 (1) は半導体素子 1 の露出した端部表面、2 は電極パッド、3 は応力緩衝層、3 (1) は応力緩衝層 3 に設けた開口、4 はリード配線部、5 は導体部保護層、5 (1) は導体部保護層 5 に設けた複数の窓部、6 は外部電極である。

【 0 0 2 1 】

そして、半導体素子 1 は、一面に電極パッド 2 や図示されていない集積回路部が形成配置され、露出した端部表面 1 (1) を備える。応力緩衝層 3 は、半導体素子 1 の一面に形成され、電極パッド 2 上に開口 3 (1) を有し、端部表面 1 (1) 上に底面まで達する溝部 (図番なし) が設けられる。リード配線部 4 は、電極パッド 2 上から開口 3 (1) を通して応力緩衝層 3 上の一部に至る範囲に形成される。導体部保護層 5 は、リード配線部 4 上を含む応力緩衝層 3 上に形成され、リード配線部 4 上の一部に複数の窓部 5 (1) が設けられ、端部表面 1 (1) 上の応力緩衝層 3 の溝部に対応した位置に、導体部保護層 5 の底面まで達する溝部 (図番なし) が設けられる。外部電極 6 は、各窓部 5 (1) を通してリード配線部 4 上に配置形成される。

【 0 0 2 2 】

この場合、溝部の形成によって得られた応力緩衝層 3 の端面と溝部の形成によって得られた導体部保護層 5 の端面は、同一面上に位置しているもので、露出した端部表面 1 (1) は、半導体素子 1 の端面から同一面上にある応力緩衝層 3 の端面及び導体部保護層 5 の端面までの範囲に形成される。そして、応力緩衝層 3 の端面及び導体部保護層 5 の端面の各位置は、後述する半導体ウエハ (図示なし) に形成される切断用スクライブラインよりも若干内側の位置になっている。

【 0 0 2 3 】

ここで、第 1 の実施の形態の半導体装置の製造方法について述べる。この半導体装置は、半導体ウエハの切り出しによって複数個の半導体装置を同時に製造するもので、半導体ウエハは、切断部となるスクライブラインの交差部分に位置合わせマーク (図示なし) が形成され、その位置合わせマークで囲まれた半導体ウエハの一面にそれぞれ半導体装置を形成した後で、半導体ウエハを位置合わせマークに沿って切断することによって、複数個の半導体装置を製造しているものである。

【 0 0 2 4 】

始めに、シリコン (S i) 等からなる半導体ウエハの一面に、スクライブラインの交差部分を表すアルミニウム (A l) の位置合わせマークを形成し、位置合わせマークで囲まれた領域内に、それぞれアルミニウム (A l) の電極パッド 2

を形成するとともに、集積回路部（図示ない）を形成配置する。

【 0 0 2 5 】

次に、位置合わせマークや電極パッド 2 等を形成した半導体ウェハの一面に、マスク印刷法を用いて、傾斜が緩やかな立上り部を有する開口 3（1）を備えた応力緩衝層 3 を形成する。このとき、マスク印刷法に使用する印刷用マスクは、プリント配線板において半田ペースト印刷等に使用する印刷用マスクと同じ構造のものであって、印刷は、半導体ウェハのパターンと印刷用マスクとを位置合わせ状態で密着させ、その状態でスキージ印刷をするいわゆるコンタクト印刷である。印刷時には、第一スキージで印刷用マスクのスキージ面全体をペーストでコーティングし、第二スキージで印刷用マスクの開口部を充填し、かつ、余分なペーストを除去した後、印刷用マスクを半導体ウェハ上から取り除き、マスク印刷が完了する。その後、ペーストを印刷塗布した半導体ウェハをホットプレートや加熱炉を用いて段階的に加熱し、印刷塗布したペーストを硬化させ、開口 3（1）を備えた応力緩衝層 3 を形成する。

【 0 0 2 6 】

この応力緩衝層 3 の形成に用いる材料は、ペースト状のポリイミド材料であり、印刷塗布された後で加熱により硬化するものである。このペースト状のポリイミド材料は、材料は、粘度が $530 \text{ Pa} \cdot \text{s}$ 、チキソトロピー係数が 2.8 であり、印刷塗布特性が良好なものである。このようなペースト状のポリイミド材料を用いた場合、濡れ広がり小さくなり、図 1 に示すような開口 3（1）を備えた応力緩衝層 3 を形成することが可能となる。なお、応力緩衝層 3 は、1 回のマスク印刷によって必要な膜厚のものが得られない場合、印刷塗布及び塗布材料の硬化を複数回繰り返すことにより所定の膜厚のものを得ることができる。

【 0 0 2 7 】

このとき、応力緩衝層 3 の形成材料にペースト状のポリイミド材料を用い、印刷用マスクに厚さが $65 \mu\text{m}$ のメタルマスクを使用した場合、2 回の印刷塗布及び塗布材料の硬化により、膜厚が $50 \mu\text{m}$ の応力緩衝層 3 を得ることができた。このときの硬化条件は、1 回目の印刷塗布した後、ホットプレート上で温度 100°C で 10 分間加熱し、その後温度 150°C で 10 分間加熱して硬化させ、引き

続いて、2回目の印刷塗布した後、ホットプレート上で温度200℃で25分間、加熱し、その後恒温槽中で温度250℃で60分加熱して硬化させた。

【0028】

なお、この第1の実施の形態においては、ペースト状のポリイミド材料を使用して応力緩衝層3の形成を行ったが、マスク印刷に必要な粘弾性特性を確保することができ、しかも、特性上この製造プロセスに耐えることが可能な材料であれば、他の低弾性樹脂材料を用いることもできる。

【0029】

次いで、炭酸ガスレーザを用いたレーザー加工によって半導体ウエハに形成した幅200 μ mのスクライブラインを露出させる。このとき、端部表面1(1)上に形成した応力緩衝層3に応力緩衝層3の底面まで達する幅400 μ mの溝部を形成し、この溝部を通して端部表面1(1)に形成した半導体ウエハの位置合わせマークを露出させる。

【0030】

続いて、電極パッド2上を含む応力緩衝層3上に、厚さ500Åのクローム(Cr)膜を蒸着し、その上に厚さ0.5 μ mの銅(Cu)膜を蒸着する。そして、得られた蒸着膜上にネガ型感光性レジストをスピコート塗布し、プリバーク、露光、現像を行い、厚さが15 μ mのレジスト配線パターンを形成する。形成した配線パターンの内部に電気メッキにより厚さ10 μ mの銅(Cu)膜を形成し、その上に電気メッキにより厚さ2 μ mのニッケル(Ni)膜を形成する。その後、レジストを剥離液を用いて剥離し、蒸着膜中の銅(Cu)膜を過硫酸アンモニウム/硫酸系水溶液によりエッチングし、さらに蒸着膜中のクローム(Cr)膜を過マンガン酸カリウム系水溶液でエッチングしてリード配線部4を形成する。

【0031】

この時点に形成したリード配線部4について、適否の評価を行ったところ、全評価個数に対して不適(不良)個数は皆無であった。

【0032】

次に、リード配線部4上を含む応力緩衝層3上に、スクリーン印刷により感光

性ソルダーレジストワニスを塗布し、塗布膜を温度 8 0℃で 2 0 分間乾燥した後、所定のパターンを用いて露光及び現像を行い、温度 1 5 0℃で 1 時間加熱硬化させて導体部保護層 5 を形成する。形成した導体部保護層 5 は、リード配線部 4 上の一部に複数の窓部 5 (1) を備え、スクライブライン上の応力緩衝層 3 の溝部の形成位置と一致した位置に、導体部保護層 5 の底面にまで達する溝部 (図番なし) を備えている。

【 0 0 3 3 】

次いで、窓部 5 (1) を通して露出したリード配線部 4 のニッケル (N i) 膜上に置換メッキにより厚さ 0 . 1 μ m の金 (A u) メッキ膜を形成する。この後、メタルマスクを用いて金 (A u) メッキ膜にフラックスを塗布し、直径が約 0 . 3 5 m m の S n - A g - C u 系の半田ボールを載せ、その半田ボールを赤外線リフロー炉を用いて温度 2 6 0℃で 1 0 秒間加熱して外部電極 6 を形成する。

【 0 0 3 4 】

最後に、半導体素子 1 の端部表面 1 (1) 上、すなわち半導体ウエハ上に形成されている位置合わせマークを透過確認しながら、半導体ウエハをスクライブラインに沿って厚さ 0 . 2 m m のダイシングソーにより切断し、複数の半導体装置を製造した。

【 0 0 3 5 】

このように方法によって製造した第 1 の実施の形態の半導体装置は、ダイシング直後に外観検査をしたところ、ダイシング時に、半導体素子 1 の端部領域が複数層形成部を含めて何等ダメージを受けておらず、半導体パッケージの不良品個数の発生は皆無であった。

【 0 0 3 6 】

また、このように製造された第 1 の実施の形態による半導体装置について、所定数のサンプルを抽出し、抽出した各サンプルについて、温度 - 5 5℃内で 1 0 分間、温度 1 2 5℃内で 1 0 分間という温度サイクルを 1 0 0 0 回繰り返す温度試験を実施し、温度試験を行った後で、各サンプルの外観検査を行ったところ、半導体素子 1 の端部領域の複数層形成部がダイシング時にダメージを受けていないことから、その複数層形成部に界面剥離が生じておらず、各サンプルの不良品

個数の発生は皆無であった。

【 0 0 3 7 】

次に、図 2 は、本発明の第 2 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 0 3 8 】

図 2 において、3 (2) は応力緩衝層 3 の露出された端部表面であり、その他に、図 1 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 0 3 9 】

前記第 1 の実施の形態の半導体装置（以下、第 1 実施形態の装置という）と、この第 2 の実施の形態の半導体装置（以下、第 2 実施形態の装置という）との構成の違いは、半導体素子 1 の端部表面 1 (1) 上の応力緩衝層 3 の溝部と導体部保護層 5 の溝部の構成に関して、第 1 実施形態の装置においては、応力緩衝層 3 の端面と導体部保護層 5 の端面とが同一面になるように構成しているのに対し、第 2 実施形態の装置においては、導体部保護層 5 の端面が応力緩衝層 3 の端面に比べて内側になるように構成し、応力緩衝層 3 に露出された端部表面 3 (2) を設けている点だけであって、その他に、第 1 実施形態の装置と第 2 実施形態の装置との間に構成上の相違はない。このため、第 2 実施形態の装置の構成については、これ以上の説明を省略する。

【 0 0 4 0 】

また、第 2 実施形態の装置の製造方法については、第 1 実施形態の装置の製造方法と同じであるので、第 2 実施形態の装置の製造方法についてもその説明を省略する。

【 0 0 4 1 】

このような方法によって製造した第 2 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 0 4 2 】

次いで、図 3 は、本発明の第 2 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 0 4 3 】

図 3 において、図 1 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 0 4 4 】

前記第 1 の実施の形態の半導体装置（以下、再び第 1 実施形態の装置という）と、この第 3 の実施の形態の半導体装置（以下、第 3 実施形態の装置という）との構成の違いは、半導体素子 1 の端部表面 1（1）上の応力緩衝層 3 の溝部と導体部保護層 5 の溝部の構成に関して、第 1 実施形態の装置においては、応力緩衝層 3 の端面と導体部保護層 5 の端面とが同一面になるように構成しているのに対し、第 3 実施形態の装置においては、導体部保護層 5 の端面が応力緩衝層 3 の端面に比べて外側になるように、かつ、その外側部分の導体部保護層 5 が端部表面 1（1）上まで達しているように構成している点だけであって、その他に、第 1 実施形態の装置と第 3 実施形態の装置との間に構成上の相違はない。このため、第 3 実施形態の装置の構成については、これ以上の説明を省略する。

【 0 0 4 5 】

また、第 3 実施形態の装置の製造方法については、第 1 実施形態の装置の製造方法と同じであるので、第 3 実施形態の装置の製造方法についてもその説明を省略する。

【 0 0 4 6 】

このような方法によって製造した第 3 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 0 4 7 】

次いで、図 4 は、本発明の第 4 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【0048】

図 4 において、図 1 に示された構成要素と同じ構成要素については同じ符号をつけている。

【0049】

前記第 1 の実施の形態の半導体装置（以下、再び第 1 実施形態の装置という）と、この第 4 の実施の形態の半導体装置（以下、第 4 実施形態の装置という）との構成の違いは、応力緩衝層 3 の端部領域及び導体部保護層 5 の端部領域の構成に関して、第 1 実施形態の装置においては、応力緩衝層 3 に溝部を形成するとともに導体部保護層 5 に溝部を形成し、それらの端面が同一面になるように構成しているのに対し、第 4 実施形態の装置においては、応力緩衝層 3 に端面に行くに従ってテーパ状に薄くなるテーパ部を形成するとともに導体部保護層 5 に溝部を形成し、テーパ部の端部（端面）と溝部の端面とが同一面になり、かつ、導体部保護層 5 の厚さがテーパ部の厚さの変化を補充するように構成している点だけであって、その他に、第 1 実施形態の装置と第 4 実施形態の装置との間に構成上の相違はない。このため、第 4 実施形態の装置の構成については、これ以上の説明を省略する。

【0050】

また、第 4 実施形態の装置の製造方法については、第 1 実施形態の装置の製造方法と比べると、応力緩衝層 3 の形成手段に関して、第 1 実施形態の装置の製造方法が、マスク印刷法を用いて傾斜が緩やかな立上り部を有する開口 3（1）を備えた応力緩衝層 3 を形成し、その後にレーザー加工によって応力緩衝層 3 に溝部を形成しているのに対し、第 4 実施形態の装置の製造方法が、マスク印刷法を用いて傾斜が緩やかな立上り部を有する開口 3（1）と端面に行くに従ってテーパ状に薄くなるテーパ部とを備えた応力緩衝層 3 を形成し、その後の応力緩衝層 3 へのレーザー加工を行っていない点だけであって、その他に、第 1 実施形態の装置の製造方法と第 4 実施形態の装置の製造方法との間に違いはない。このため、第 4 実施形態の装置の製造方法については、これ以上の説明を省略する。

【 0 0 5 1 】

このような方法によって製造した第 4 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 0 5 2 】

続く、図 5 は、本発明の第 5 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 0 5 3 】

図 5 において、図 2 及び図 4 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 0 5 4 】

前記第 4 の実施の形態の半導体装置（以下、再び第 4 実施形態の装置という）と、この第 5 の実施の形態の半導体装置（以下、第 5 実施形態の装置という）との構成の違いは、応力緩衝層 3 の端部（端面）と導体部保護層 5 の端面との構成に関して、第 4 実施形態の装置においては、応力緩衝層 3 の端部（端面）と導体部保護層 5 の端面とが同一面になるように構成しているのに対し、第 5 実施形態の装置においては、導体部保護層 5 の端面が応力緩衝層 3 の端部（端面）に比べて内側になるように構成し、応力緩衝層 3 に露出した端部表面 3（2）を設けている点だけであって、その他に、第 4 実施形態の装置と第 5 実施形態の装置との間に構成上の相違はない。このため、第 5 実施形態の装置の構成については、これ以上の説明を省略する。

【 0 0 5 5 】

また、第 5 実施形態の装置の製造方法については、導体部保護層 5 を形成する際に、スクリーン印刷法に代えてマスク印刷法を用いている点を除けば、第 4 実施形態の装置の製造方法と同じであるので、この第 5 実施形態の装置の製造方法についてもその説明を省略する。

【 0 0 5 6 】

このような方法によって製造した第 5 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 0 5 7 】

続いて、図 6 は、本発明の第 6 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 0 5 8 】

図 6 において、図 4 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 0 5 9 】

前記第 4 の実施の形態の半導体装置（以下、再び第 4 実施形態の装置という）と、この第 6 の実施の形態の半導体装置（以下、第 6 実施形態の装置という）との構成の違いは、応力緩衝層 3 の端部（端面）と導体部保護層 5 の端面との構成に関して、第 4 実施形態の装置においては、応力緩衝層 3 の端部（端面）と導体部保護層 5 の端面とが同一面になるように構成しているのに対し、第 6 実施形態の装置においては、導体部保護層 5 の端面が応力緩衝層 3 の端部（端面）に比べて外側になるように、かつ、その外側部分の導体部保護層 5 が端部表面 1（1）上まで達しているように構成している点だけであって、その他に、第 4 実施形態の装置と第 6 実施形態の装置との間に構成上の相違はない。このため、第 6 実施形態の装置の構成については、これ以上の説明を省略する。

【 0 0 6 0 】

また、第 6 実施形態の装置の製造方法については、第 4 実施形態の装置の製造方法と同じであるので、第 6 実施形態の装置の製造方法についてもその説明を省略する。

【 0 0 6 1 】

このような方法によって製造した第 6 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 0 6 2 】

次に、図 7 は、本発明の第 7 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 0 6 3 】

図 7 において、図 4 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 0 6 4 】

前記第 4 の実施の形態の半導体装置（以下、再び第 4 実施形態の装置という）と、この第 7 の実施の形態の半導体装置（以下、第 7 実施形態の装置という）との構成の違いは、導体部保護層 5 の端部領域の構成に関して、第 4 実施形態の装置においては、導体部保護層 5 に溝部が形成され、導体部保護層 5 の端面が端部表面 1（1）に対してほぼ垂直状態になるように構成しているのに対し、第 7 実施形態の装置においては、導体部保護層 5 に端面に行くに従って直線状に薄くなる傾斜面になるように構成している点だけであって、その他に、第 4 実施形態の装置と第 7 実施形態の装置との間に構成上の相違はない。このため、第 7 実施形態の装置の構成については、これ以上の説明を省略する。

【 0 0 6 5 】

また、第 7 実施形態の装置の製造方法については、第 4 実施形態の装置の製造方法と比べると、導体部保護層 5 の形成手段に関して、第 4 実施形態の装置の製造方法が、スクリーン印刷により傾斜が緩やかな立上り部を有する開口 3（1）及び端部表面 1（1）にほぼ垂直な端面を有する溝部を備えた導体部保護層 5 を形成しているのに対し、第 7 実施形態の装置の製造方法が、マスク印刷法により傾斜が緩やかな立上り部を有する開口 3（1）及び直線状に傾斜した立上り部を

有する傾斜面を備えた導体部保護層 5 を形成している点だけであって、その他に、第 4 実施形態の装置の製造方法と第 7 実施形態の装置の製造方法との間に違いはない。このため、第 7 実施形態の装置の製造方法についても、これ以上の説明を省略する。

【 0 0 6 6 】

このような方法によって製造した第 7 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 0 6 7 】

次いで、図 8 は、本発明の第 8 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 0 6 8 】

図 8 において、図 5 及び図 7 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 0 6 9 】

前記第 7 の実施の形態の半導体装置（以下、再び第 7 実施形態の装置という）と、この第 8 の実施の形態の半導体装置（以下、第 8 実施形態の装置という）との構成の違いは、応力緩衝層 3 の端部（端面）と導体部保護層 5 の端部（端面）との構成に関して、第 7 実施形態の装置においては、応力緩衝層 3 の端部（端面）と導体部保護層 5 の端部（端面）とが同一面になるように構成しているのに対し、第 8 実施形態の装置においては、導体部保護層 5 の端部（端面）が応力緩衝層 3 の端部（端面）に比べて内側になるように構成し、応力緩衝層 3 に露出した端部表面 3（2）を設けている点だけであって、その他に、第 7 実施形態の装置と第 8 実施形態の装置との間に構成上の相違はない。このため、第 8 実施形態の装置の構成については、これ以上の説明を省略する。

【 0 0 7 0 】

また、第 8 実施形態の装置の製造方法については、導体部保護層 5 を形成する際に、マスク印刷法に代えてスクリーン印刷法を用いている点を除けば、第 7 実施形態の装置の製造方法と同じであるので、この第 8 実施形態の装置の製造方法についてもその説明を省略する。

【 0 0 7 1 】

このような方法によって製造した第 8 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 0 7 2 】

続く、図 9 は、本発明の第 9 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 0 7 3 】

図 9 において、図 7 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 0 7 4 】

前記第 7 の実施の形態の半導体装置（以下、再び第 7 実施形態の装置という）と、この第 9 の実施の形態の半導体装置（以下、第 9 実施形態の装置という）との構成の違いは、応力緩衝層 3 の端部（端面）と導体部保護層 5 の端部（端面）との構成に関して、第 7 実施形態の装置においては、応力緩衝層 3 の端部（端面）と導体部保護層 5 の端部（端面）とが同一面になるように構成しているのに対し、第 9 実施形態の装置においては、導体部保護層 5 の端面が応力緩衝層 3 の端部（端面）に比べて外側になるように、かつ、その外側部分の導体部保護層 5 が端部表面 1（1）上まで達しているように構成している点だけであって、その他に、第 7 実施形態の装置と第 9 実施形態の装置との間に構成上の相違はない。このため、第 9 実施形態の装置の構成については、これ以上の説明を省略する。

【 0 0 7 5 】

また、第 9 実施形態の装置の製造方法については、第 7 実施形態の装置の製造方法と同じであるので、第 9 実施形態の装置の製造方法についてもその説明を省略する。

【 0 0 7 6 】

このような方法によって製造した第 9 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 0 7 7 】

続いて、図 1 0 は、本発明の第 1 0 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 0 7 8 】

なお、以下の説明においては、第 1 0 の実施の形態による半導体装置を第 1 0 実施形態の装置という。

【 0 0 7 9 】

図 1 0 において、7 は半導体素子保護層、7 (1) は半導体素子保護層 7 に設けた開口（第 1 開口）であり、その他に、図 1 に示された構成要素と同じ構成要素については同じ符号をつけている。なお、以下の説明においては、第 1 開口 7 (1) に対応して応力緩衝層 3 に設けた開口 3 (1) を第 2 開口とする。

【 0 0 8 0 】

そして、半導体素子保護層 7 は、電極パッド 2 や図示されていない集積回路部を一面に形成配置された半導体素子 1 の同面に形成されるもので、電極パッド 2 上に第 1 開口 7 (1) が設けられ、半導体素子 1 の端部表面 1 (1) 上に半導体素子保護層 7 の底面まで達する溝部が設けられる。応力緩衝層 3 は、半導体素子保護層 7 上に形成されるもので、電極パッド 2 上の第 1 開口 7 (1) に対応した位置に第 2 開口 3 (1) が設けられ、端部表面 1 (1) 上に応力緩衝層 3 の底面まで達する溝部が設けられる。リード配線部 4 は、電極パッド 2 上から第 1 開口

7 (1) 及び第 2 開口 3 (1) を通して応力緩衝層 3 上の一部に至る範囲に形成される。導体部保護層 5 は、リード配線部 4 上を含む応力緩衝層 3 上に形成され、リード配線部 4 上の一部に複数の窓部 5 (1) が設けられ、端部表面 1 (1) 上に導体部保護層 5 の底面まで達する溝部が設けられる。外部電極 6 は、各窓部 5 (1) を通してリード配線部 4 上に配置形成される。

【 0 0 8 1 】

この場合、溝部の形成によって得られた半導体素子保護層 7 の端面と、溝部の形成によって得られた応力緩衝層 3 の端面と、溝部の形成によって得られた導体部保護層 5 の端面とは、それぞれ同一面上に位置しているもので、露出した端部表面 1 (1) は、半導体素子 1 の端面から同一面上にある半導体素子保護層 7 の端面と応力緩衝層 3 の端面と導体部保護層 5 の端面までの範囲に形成される。そして、同一面上にある半導体素子保護層 7 の端面と応力緩衝層 3 の端面と導体部保護層 5 の端面の各位置は、半導体ウエハに形成される切断用スクライブラインよりも若干内側の位置になっている。

【 0 0 8 2 】

この第 1 0 の実施の形態による半導体装置を製造方法について述べる。

【 0 0 8 3 】

始めに、シリコン (S i) 等からなる半導体ウエハの一面に、スクライブラインの交差部分を表すアルミニウム (A 1) の位置合わせマークを形成し、位置合わせマークで囲まれた領域内に、それぞれアルミニウム (A 1) の電極パッド 2 を形成するとともに、集積回路部 (図示なし) を形成配置する。

【 0 0 8 4 】

次に、位置合わせマークや電極パッド 2 等を形成した半導体ウエハの一面に、ネガ型感光性ポリイミド樹脂をスピンコートにより塗布し、ホットプレート上において、温度 7 5℃で 1 0 5 秒間それについて温度 9 0℃で 1 0 5 秒間乾燥した後、所定のマスクを用いて露光し、再びホットプレート上において、温度 1 2 5℃で 6 0 秒間加熱した後で現像した。この後、窒素 (N₂) 雰囲気中において、温度 3 5 0℃で 6 0 分間加熱硬化し、電極パッド 2 上に開口 7 (1) を有し、かつ、半導体素子 1 の端面から約 1 0 0 μ m 内側までライン状に半導体素子 1 の端

部表面 1 (1) を露出させた溝部を有する半導体素子保護層 7 を形成する。

【 0 0 8 5 】

次いで、アルゴン (A r) ガスを用いたスパッタエッチングより、電極パッド 2 表面のアルミニウム (A l) 酸化膜を除去した。

【 0 0 8 6 】

この後の半導体素子保護層 7 上に設けられる応力緩衝層 3 の形成工程、電極パッド 2 上から第 1 開口 7 (1) 及び第 2 開口 3 (1) を通して応力緩衝層 3 上の一部まで達するリード配線部 4 の形成工程、リード配線部 4 上を含む応力緩衝層 3 上に設けられる導体部保護層 5 の形成工程、リード配線部 4 上に形成される外部電極 6 の形成工程、半導体ウエハの切断工程は、第 1 実施形態の装置の製造方法における対応する各形成工程と同じであるので、第 1 0 実施形態の装置の製造方法については、これ以上の説明を省略する。

【 0 0 8 7 】

このような方法によって製造した第 1 0 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適 (不良) 個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 0 8 8 】

次に、図 1 1 は、本発明の第 1 1 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 0 8 9 】

図 1 1 において、図 1 及び図 2 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 0 9 0 】

前記第 1 0 の実施の形態の半導体装置 (以下、再び第 1 0 実施形態の装置という) と、この第 1 1 の実施の形態の半導体装置 (以下、第 1 1 実施形態の装置という) との構成の違いは、半導体素子 1 の端部表面 1 (1) 上の半導体素子保護

層 7 及び応力緩衝層 3 の溝部と導体部保護層 5 の溝部との構成に関して、第 1 0 実施形態の装置においては、半導体素子保護層 7 の端面と応力緩衝層 3 の端面と導体部保護層 5 の端面とがそれぞれ同一面になるように構成しているのに対し、第 1 1 実施形態の装置においては、半導体素子保護層 7 の端面と応力緩衝層 3 の端面とが同一面上にあり、導体部保護層 5 の端面がその同一面に比べて内側になるように構成し、応力緩衝層 3 に露出した端部表面 3 (2) を設けている点だけであって、その他に、第 1 0 実施形態の装置と第 1 1 実施形態の装置との間に構成上の相違はない。このため、第 1 1 実施形態の装置の構成については、これ以上の説明を省略する。

【 0 0 9 1 】

また、第 1 1 実施形態の装置の製造方法については、第 1 0 実施形態の装置の製造方法と同じであるので、第 1 1 実施形態の装置の製造方法についてはその説明を省略する。

【 0 0 9 2 】

このような方法によって製造した第 1 1 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 0 9 3 】

次いで、図 1 2 は、本発明の第 1 2 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 0 9 4 】

図 1 2 において、7 (2) は半導体素子保護層 7 の露出した端部表面であって、その他に、図 1 1 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 0 9 5 】

前記第 1 1 の実施の形態の半導体装置（以下、再び第 1 1 実施形態の装置とい

う) と、この第 1 2 の実施の形態の半導体装置 (以下、第 1 2 実施形態の装置という) との構成の違いは、半導体素子 1 の端部表面 1 (1) 上の半導体素子保護層 7 の溝部と応力緩衝層 3 の溝部との構成に関して、第 1 1 実施形態の装置においては、半導体素子保護層 7 の端面と応力緩衝層 3 の端面とが同一面になるように構成しているのに対し、第 1 2 実施形態の装置においては、応力緩衝層 3 の端面が半導体素子保護層 7 の端面に比べて内側になるように構成し、半導体素子保護層 7 に露出した端部表面 7 (2) を設けている点だけであって、その他に、第 1 1 実施形態の装置と第 1 2 実施形態の装置との間に構成上の相違はない。このため、第 1 2 実施形態の装置の構成については、これ以上の説明を省略する。

【 0 0 9 6 】

また、第 1 2 実施形態の装置の製造方法については、第 1 1 実施形態の装置の製造方法と同じであるので、第 1 2 実施形態の装置の製造方法についてはその説明を省略する。

【 0 0 9 7 】

このような方法によって製造した第 1 2 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適 (不良) 個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 0 9 8 】

続く、図 1 3 は、本発明の第 1 3 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 0 9 9 】

図 1 3 において、図 1 1 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 1 0 0 】

前記第 1 1 の実施の形態の半導体装置 (以下、再び第 1 1 実施形態の装置という) と、この第 1 3 の実施の形態の半導体装置 (以下、第 1 3 実施形態の装置と

いう)との構成の違いは、半導体素子1の端部表面1(1)上の半導体素子保護層7の溝部と応力緩衝層3の溝部との構成に関して、第11実施形態の装置においては、半導体素子保護層7の端面と応力緩衝層3の端面とが同一面になるように構成しているのに対し、第13実施形態の装置においては、応力緩衝層3の端面が半導体素子保護層7の端面に比べて外側になるように、かつ、その外側部分の応力緩衝層3が端部表面1(1)上まで達しているように構成している点だけであって、その他に、第11実施形態の装置と第13実施形態の装置との間に構成上の相違はない。このため、第13実施形態の装置の構成については、これ以上の説明を省略する。

【0101】

また、第13実施形態の装置の製造方法については、第11実施形態の装置の製造方法と同じであるので、第13実施形態の装置の製造方法についてはその説明を省略する。

【0102】

このような方法によって製造した第13実施形態の装置は、リード配線部4を形成した直後に適否の評価を行ったところ、全評価個数に対して不適(不良)個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第1実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【0103】

続いて、図14は、本発明の第14の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【0104】

図14において、図11に示された構成要素と同じ構成要素については同じ符号をつけている。

【0105】

前記第11の実施の形態の半導体装置(以下、再び第11実施形態の装置という)と、この第14の実施の形態の半導体装置(以下、第14実施形態の装置と

いう)との構成の違いは、半導体素子1の端部表面1(1)上の応力緩衝層3の溝部及び半導体素子保護層7の溝部と導体部保護層5の溝部の構成に関して、第11実施形態の装置においては、半導体素子保護層7の端面と応力緩衝層3の端面とが同一面になり、導体部保護層5の端面がこの同一面に比べて内側になるように構成しているのに対し、第14実施形態の装置においては、半導体素子保護層7の端面と応力緩衝層3の端面とが同一面になり、導体部保護層5の端面がこの同一面に比べて外側になるように、かつ、その外側部分の導体部保護層5が端部表面1(1)上まで達しているように構成している点だけであって、その他に、第11実施形態の装置と第14実施形態の装置との間に構成上の相違はない。このため、第14実施形態の装置の構成については、これ以上の説明を省略する。

【0106】

また、第14実施形態の装置の製造方法については、第11実施形態の装置の製造方法と同じであるので、第14実施形態の装置の製造方法についてはその説明を省略する。

【0107】

このような方法によって製造した第14実施形態の装置は、リード配線部4を形成した直後に適否の評価を行ったところ、全評価個数に対して不適(不良)個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第1実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【0108】

次に、図15は、本発明の第15の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【0109】

図15において、図12に示された構成要素と同じ構成要素については同じ符号をつけている。

【0110】

前記第 1 2 の実施の形態の半導体装置（以下、再び第 1 2 実施形態の装置という）と、この第 1 5 の実施の形態の半導体装置（以下、第 1 5 実施形態の装置という）との構成の違いは、半導体素子 1 の端部表面 1（1）上の応力緩衝層 3 の溝部と導体部保護層 5 の溝部の構成に関して、第 1 2 実施形態の装置においては、導体部保護層 5 の端面が応力緩衝層 3 の端面に比べて内側になるように構成しているのに対し、第 1 5 実施形態の装置においては、導体部保護層 5 の端面が応力緩衝層 3 の端面に比べて外側になるように、かつ、その外側部分の導体部保護層 5 が半導体素子保護層 7 の露出した端部表面 7（2）上まで達しているように構成している点だけであって、その他に、第 1 2 実施形態の装置と第 1 5 実施形態の装置との間に構成上の相違はない。このため、第 1 5 実施形態の装置の構成については、これ以上の説明を省略する。

【 0 1 1 1 】

また、第 1 5 実施形態の装置の製造方法については、第 1 2 実施形態の装置の製造方法と同じであるので、第 1 5 実施形態の装置の製造方法についてはその説明を省略する。

【 0 1 1 2 】

このような方法によって製造した第 1 5 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 1 1 3 】

次いで、図 1 6 は、本発明の第 1 6 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 1 1 4 】

図 1 6 において、図 1 2 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 1 1 5 】

前記第 1 2 の実施の形態の半導体装置（以下、再び第 1 2 実施形態の装置という）と、この第 1 6 の実施の形態の半導体装置（以下、第 1 6 実施形態の装置という）との構成の違いは、半導体素子 1 の端部表面 1（1）上の半導体素子保護層 7 の溝部及び応力緩衝層 3 の溝部と導体部保護層 5 の溝部の構成に関して、第 1 2 実施形態の装置においては、導体部保護層 5 の端面が応力緩衝層 3 の端面に比べて内側になるように構成しているのに対し、第 1 6 実施形態の装置においては、導体部保護層 5 の端面が応力緩衝層 3 の端面及び半導体素子保護層 7 の端面に比べて外側になるように、かつ、その外側部分の導体部保護層 5 が半導体素子保護層 7 の露出した端部表面 7（2）上及び半導体素子 1 の端部表面 1（1）上まで達しているように構成している点だけであって、その他に、第 1 2 実施形態の装置と第 1 6 実施形態の装置との間に構成上の相違はない。このため、第 1 6 実施形態の装置の構成については、これ以上の説明を省略する。

【0116】

また、第 1 6 実施形態の装置の製造方法については、第 1 2 実施形態の装置の製造方法と同じであるので、第 1 6 実施形態の装置の製造方法についてはその説明を省略する。

【0117】

このような方法によって製造した第 1 6 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【0118】

続く、図 1 7 は、本発明の第 1 7 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【0119】

図 1 7 において、図 1 3 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 1 2 0 】

前記第 1 3 の実施の形態の半導体装置（以下、再び第 1 3 実施形態の装置という）と、この第 1 7 の実施の形態の半導体装置（以下、第 1 7 実施形態の装置という）との構成の違いは、半導体素子 1 の端部表面 1（1）上の応力緩衝層 3 の溝部と導体部保護層 5 の溝部の構成に関して、第 1 3 実施形態の装置においては、導体部保護層 5 の端面が応力緩衝層 3 の端面に比べて内側になるように構成しているのに対し、第 1 7 実施形態の装置においては、導体部保護層 5 の端面が応力緩衝層 3 の端面に比べて外側になるように、かつ、その外側部分の導体部保護層 5 が半導体素子 1 の端部表面 1（1）上まで達しているように構成している点だけであって、その他に、第 1 3 実施形態の装置と第 1 7 実施形態の装置との間に構成上の相違はない。このため、第 1 7 実施形態の装置の構成については、これ以上の説明を省略する。

【 0 1 2 1 】

また、第 1 7 実施形態の装置の製造方法については、第 1 3 実施形態の装置の製造方法と同じであるので、第 1 7 実施形態の装置の製造方法についてはその説明を省略する。

【 0 1 2 2 】

このような方法によって製造した第 1 7 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 1 2 3 】

続いて、図 1 8 は、本発明の第 1 8 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 1 2 4 】

図 1 8 において、図 1 0 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 1 2 5 】

前記第 1 0 の実施の形態の半導体装置（以下、再び第 1 0 実施形態の装置という）と、この第 1 8 の実施の形態の半導体装置（以下、第 1 8 実施形態の装置という）との構成の違いは、応力緩衝層 3 の端部領域及び導体部保護層 5 の端部領域の構成に関して、第 1 0 実施形態の装置においては、応力緩衝層 3 に溝部を形成するとともに導体部保護層 5 に溝部を形成し、それらの端面が同一面になるように構成しているのに対し、第 1 8 実施形態の装置においては、応力緩衝層 3 に端面に行くに従ってテーパ状に薄くなるテーパ部を形成するとともに導体部保護層 5 に溝部を形成し、テーパ部の端部（端面）と溝部の端面とが同一面になり、かつ、導体部保護層 5 の厚さがテーパ部の厚さの変化を補充するように構成している点だけであって、その他に、第 1 0 実施形態の装置と第 1 8 実施形態の装置との間に構成上の相違はない。このため、第 1 8 実施形態の装置の構成については、これ以上の説明を省略する。

【 0 1 2 6 】

また、第 1 8 実施形態の装置の製造方法については、第 1 0 実施形態の装置の製造方法と比べると、応力緩衝層 3 の形成手段に関して、第 1 0 実施形態の装置の製造方法が、マスク印刷法を用いて傾斜が緩やかな立上り部を有する開口 3 （1）を備えた応力緩衝層 3 を形成し、その後にレーザー加工によって応力緩衝層 3 に溝部を形成しているのに対し、第 1 8 実施形態の装置の製造方法が、マスク印刷法を用いて傾斜が緩やかな立上り部を有する開口 3 （1）と端面に行くに従ってテーパ状に薄くなるテーパ部とを備えた応力緩衝層 3 を形成し、その後の応力緩衝層 3 へのレーザー加工を行っていない点だけであって、その他に、第 1 0 実施形態の装置の製造方法と第 1 8 実施形態の装置の製造方法との間に違いはない。このため、第 1 8 実施形態の装置の製造方法については、これ以上の説明を省略する。

【 0 1 2 7 】

このような方法によって製造した第 1 8 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケ

ージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 1 2 8 】

次に、図 1 9 は、本発明の第 1 9 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 1 2 9 】

図 1 9 において、図 5 及び図 1 8 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 1 3 0 】

前記第 1 8 の実施の形態の半導体装置（以下、再び第 1 8 実施形態の装置という）と、この第 1 9 の実施の形態の半導体装置（以下、第 1 9 実施形態の装置という）との構成の違いは、応力緩衝層 3 の端部（端面）と導体部保護層 5 の端部（端面）との構成に関して、第 1 8 実施形態の装置においては、応力緩衝層 3 の端部（端面）と導体部保護層 5 の端面とが同一面になるように構成しているのに対し、第 1 9 実施形態の装置においては、導体部保護層 5 の端部（端面）が応力緩衝層 3 の端部（端面）に比べて内側になるように構成し、応力緩衝層 3 に露出した端部表面 3（2）を設けている点だけであって、その他に、第 1 8 実施形態の装置と第 1 9 実施形態の装置との間に構成上の相違はない。このため、第 1 9 実施形態の装置の構成については、これ以上の説明を省略する。

【 0 1 3 1 】

また、第 1 9 実施形態の装置の製造方法については、導体部保護層 5 を形成する際に、スクリーン印刷法に代えてマスク印刷法を用いている点を除けば、第 1 8 実施形態の装置の製造方法と同じであるので、この第 1 9 実施形態の装置の製造方法についてもその説明を省略する。

【 0 1 3 2 】

このような方法によって製造した第 1 9 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケ

ージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【0 1 3 3】

次いで、図 2 0 は、本発明の第 2 0 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【0 1 3 4】

図 2 0 において、図 1 2 及び図 1 9 に示された構成要素と同じ構成要素については同じ符号をつけている。

【0 1 3 5】

前記第 1 9 の実施の形態の半導体装置（以下、再び第 1 9 実施形態の装置という）と、この第 2 0 の実施の形態の半導体装置（以下、第 2 0 実施形態の装置という）との構成の違いは、半導体素子保護層 7 の端部（端面）と応力緩衝層 3 の端部（端面）の構成に関して、第 1 9 実施形態の装置においては、半導体素子保護層 7 の端面と応力緩衝層 3 の端部（端面）とが同一面になるように構成しているのに対し、第 2 0 実施形態の装置においては、半導体素子保護層 7 の端面が応力緩衝層 3 の端部（端面）に比べて外側になるように構成し、半導体素子保護層 7 にも露出した端部表面 7（2）を設けている点だけであって、その他に、第 1 9 実施形態の装置と第 2 0 実施形態の装置との間に構成上の相違はない。このため、第 2 0 実施形態の装置の構成については、これ以上の説明を省略する。

【0 1 3 6】

また、第 2 0 実施形態の装置の製造方法については、導体部保護層 5 を形成する際に、マスク印刷法に代えてスクリーン印刷法を用いている点を除けば、第 1 9 実施形態の装置の製造方法と同じであるので、この第 2 0 実施形態の装置の製造方法についてもその説明を省略する。

【0 1 3 7】

このような方法によって製造した第 2 0 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケ

ージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 1 3 8 】

続く、図 2 1 は、本発明の第 2 1 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 1 3 9 】

図 2 1 において、図 1 9 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 1 4 0 】

前記第 1 9 の実施の形態の半導体装置（以下、再び第 1 9 実施形態の装置という）と、この第 2 1 の実施の形態の半導体装置（以下、第 2 1 実施形態の装置という）との構成の違いは、半導体素子保護層 7 の端部（端面）と応力緩衝層 3 の端部（端面）の構成に関して、第 1 9 実施形態の装置においては、半導体素子保護層 7 の端面と応力緩衝層 3 の端部（端面）とが同一面になるように構成しているのに対し、第 2 1 実施形態の装置においては、半導体素子保護層 7 の端面が応力緩衝層 3 の端部（端面）に比べて内側になり、実質的に導体部保護層 5 の端面と同一面になるように構成している点だけであって、その他に、第 1 9 実施形態の装置と第 2 1 実施形態の装置との間に構成上の相違はない。このため、第 2 1 実施形態の装置の構成については、これ以上の説明を省略する。

【 0 1 4 1 】

また、第 2 1 実施形態の装置の製造方法については、第 1 9 実施形態の装置の製造方法と同じであるので、第 2 1 実施形態の装置の製造方法についてもその説明を省略する。

【 0 1 4 2 】

このような方法によって製造した第 2 1 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ

温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 1 4 3 】

続いて、図 2 2 は、本発明の第 2 2 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 1 4 4 】

図 2 2 において、図 1 8 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 1 4 5 】

前記第 1 8 の実施の形態の半導体装置（以下、再び第 1 8 実施形態の装置という）と、この第 2 2 の実施の形態の半導体装置（以下、第 2 2 実施形態の装置という）との構成の違いは、導体部保護層 5 の端部領域の構成に関して、第 1 8 実施形態の装置においては、導体部保護層 5 に溝部が形成され、導体部保護層 5 の端面が端部表面 1（1）に対してほぼ垂直状態になるように構成しているのに対し、第 2 2 実施形態の装置においては、導体部保護層 5 に端面に行くに従って直線状に薄くなる傾斜面になるように構成している点だけであって、その他に、第 1 8 実施形態の装置と第 2 2 実施形態の装置との間に構成上の相違はない。このため、第 2 2 実施形態の装置の構成については、これ以上の説明を省略する。

【 0 1 4 6 】

また、第 2 2 実施形態の装置の製造方法については、第 1 8 実施形態の装置の製造方法と比べると、導体部保護層 5 の形成手段に関して、第 1 8 実施形態の装置の製造方法が、スクリーン印刷により傾斜が緩やかな立上り部を有する開口 3（1）及び端部表面 1（1）にほぼ垂直な端面を有する溝部を備えた導体部保護層 5 を形成しているのに対し、第 2 2 実施形態の装置の製造方法が、スクリーン印刷法により傾斜が緩やかな立上り部を有する開口 3（1）及び直線状に傾斜した立上り部を有する傾斜面を備えた導体部保護層 5 を形成している点だけであって、その他に、第 1 8 実施形態の装置の製造方法と第 2 2 実施形態の装置の製造方法との間に違いはない。このため、第 2 2 実施形態の装置の製造方法についても、これ以上の説明を省略する。

【 0 1 4 7 】

このような方法によって製造した第 2 2 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 1 4 8 】

次に、図 2 3 は、本発明の第 2 3 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 1 4 9 】

図 2 3 において、図 5 及び図 2 2 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 1 5 0 】

前記第 2 2 の実施の形態の半導体装置（以下、再び第 2 2 実施形態の装置という）と、この第 2 3 の実施の形態の半導体装置（以下、第 2 3 実施形態の装置という）との構成の違いは、応力緩衝層 3 の端部（端面）と導体部保護層 5 の端部（端面）との構成に関して、第 2 2 実施形態の装置においては、応力緩衝層 3 の端部（端面）と導体部保護層 5 の端部（端面）とが同一面上にあるように構成しているのに対し、第 2 3 実施形態の装置においては、導体部保護層 5 の端部（端面）が応力緩衝層 3 の端部（端面）に比べて内側になるように構成し、応力緩衝層 3 に露出した端部表面 3（2）を設けている点だけであって、その他に、第 2 2 実施形態の装置と第 2 3 実施形態の装置との間に構成上の相違はない。このため、第 2 3 実施形態の装置の構成については、これ以上の説明を省略する。

【 0 1 5 1 】

また、第 2 3 実施形態の装置の製造方法については、導体部保護層 5 を形成する際に、スクリーン印刷法に代えてマスク印刷法を用いている点を除けば、第 2 2 実施形態の装置の製造方法と同じであるので、この第 2 3 実施形態の装置の製造方法についてもその説明を省略する。

【 0 1 5 2 】

このような方法によって製造した第 2 3 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 1 5 3 】

次いで、図 2 4 は、本発明の第 2 4 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 1 5 4 】

図 2 4 において、図 2 0 及び図 2 3 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 1 5 5 】

前記第 2 3 の実施の形態の半導体装置（以下、再び第 2 3 実施形態の装置という）と、この第 2 4 の実施の形態の半導体装置（以下、第 2 4 実施形態の装置という）との構成の違いは、半導体素子保護層 7 の端面と応力緩衝層 3 の端部（端面）の構成に関して、第 2 3 実施形態の装置においては、半導体素子保護層 7 の端面と応力緩衝層 3 の端部（端面）とが同一面上にあるように構成しているのに対し、第 2 4 実施形態の装置においては、半導体素子保護層 7 の端面が応力緩衝層 3 の端部（端面）に比べて外側になるように構成し、半導体素子保護層 7 に露出した端部表面 7（2）を設けている点だけであって、その他に、第 2 3 実施形態の装置と第 2 4 実施形態の装置との間に構成上の相違はない。このため、第 2 4 実施形態の装置の構成については、これ以上の説明を省略する。

【 0 1 5 6 】

また、第 2 4 実施形態の装置の製造方法については、導体部保護層 5 を形成する際に、マスク印刷法に代えてスクリーン印刷法を用いている点を除けば、第 2 3 実施形態の装置の製造方法と同じであるので、この第 2 4 実施形態の装置の製造方法についてもその説明を省略する。

【 0 1 5 7 】

このような方法によって製造した第 2 4 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 1 5 8 】

続く、図 2 5 は、本発明の第 2 5 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 1 5 9 】

図 2 5 において、図 2 3 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 1 6 0 】

前記第 2 3 の実施の形態の半導体装置（以下、再び第 2 3 実施形態の装置という）と、この第 2 5 の実施の形態の半導体装置（以下、第 2 5 実施形態の装置という）との構成の違いは、半導体素子保護層 7 の端部（端面）と応力緩衝層 3 の端部（端面）の構成に関して、第 2 3 実施形態の装置においては、半導体素子保護層 7 の端面と応力緩衝層 3 の端部（端面）とが同一面になるように構成しているのに対し、第 2 5 実施形態の装置においては、半導体素子保護層 7 の端面が応力緩衝層 3 の端部（端面）に比べて内側になり、実質的に導体部保護層 5 の端部（端面）と同一面になるように構成している点だけであって、その他に、第 2 3 実施形態の装置と第 2 5 実施形態の装置との間に構成上の相違はない。このため、第 2 5 実施形態の装置の構成については、これ以上の説明を省略する。

【 0 1 6 1 】

また、第 2 5 実施形態の装置の製造方法については、第 2 3 実施形態の装置の製造方法と同じであるので、第 2 5 実施形態の装置の製造方法についてもその説明を省略する。

【 0 1 6 2 】

このような方法によって製造した第 2 5 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 1 6 3 】

続いて、図 2 6 は、本発明の第 2 6 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 1 6 4 】

図 2 6 において、図 1 8 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 1 6 5 】

前記第 1 8 の実施の形態の半導体装置（以下、再び第 1 8 実施形態の装置という）と、この第 2 6 の実施の形態の半導体装置（以下、第 2 6 実施形態の装置という）との構成の違いは、半導体素子保護層 7 の端面と応力緩衝層 3 の端部（端面）と導体部保護層 5 の端面の構成に関して、第 1 8 実施形態の装置においては、半導体素子保護層 7 の端面と応力緩衝層 3 の端部（端面）と導体部保護層 5 の端面とがそれぞれ同一面上にあるように構成しているのに対し、第 2 6 実施形態の装置においては、半導体素子保護層 7 の端面と応力緩衝層 3 の端部（端面）とが同一面上にあるものの、半導体素子保護層 7 の端面がその同一面に比べて外側にあり、かつ、その外側部分の半導体素子保護層 7 が半導体素子 1 の端部表面 1（1）上まで達しているように構成している点だけであって、その他に、第 1 8 実施形態の装置と第 2 6 実施形態の装置との間に構成上の相違はない。このため、第 2 6 実施形態の装置の構成については、これ以上の説明を省略する。

【 0 1 6 6 】

また、第 2 6 実施形態の装置の製造方法については、第 1 8 実施形態の装置の製造方法と同じであるので、第 2 6 実施形態の装置の製造方法についてもその説明を省略する。

【 0 1 6 7 】

このような方法によって製造した第 2 6 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外觀検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 1 6 8 】

次に、図 2 7 は、本発明の第 2 7 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 1 6 9 】

図 2 7 において、図 2 0 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 1 7 0 】

前記第 2 0 の実施の形態の半導体装置（以下、再び第 2 0 実施形態の装置という）と、この第 2 7 の実施の形態の半導体装置（以下、第 2 7 実施形態の装置という）との構成の違いは、導体部保護層 5 の端面の構成に関して、第 2 0 実施形態の装置においては、導体部保護層 5 の端面が応力緩衝層 3 の端部（端面）に比べて内側にあるように構成しているのに対し、第 2 7 実施形態の装置においては、導体部保護層 5 の端面が応力緩衝層 3 の端部（端面）に比べて外側にあり、その外側部分の導体部保護層 5 が半導体素子保護層 7 の露出した端部表面 7（2）上まで達するように構成している点だけであって、その他に、第 2 0 実施形態の装置と第 2 7 実施形態の装置との間に構成上の相違はない。このため、第 2 7 実施形態の装置の構成については、これ以上の説明を省略する。

【 0 1 7 1 】

また、第 2 7 実施形態の装置の製造方法については、導体部保護層 5 の形成に際して、スクリーン印刷法に代えてマスク印刷法を用いている点を除けば、第 2 0 実施形態の装置の製造方法と同じであるので、この第 2 7 実施形態の装置の製造方法についてもその説明を省略する。

【 0 1 7 2 】

このような方法によって製造した第 2 7 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 1 7 3 】

次いで、図 2 8 は、本発明の第 2 8 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 1 7 4 】

図 2 8 において、図 2 7 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 1 7 5 】

前記第 2 7 の実施の形態の半導体装置（以下、再び第 2 7 実施形態の装置という）と、この第 2 8 の実施の形態の半導体装置（以下、第 2 8 実施形態の装置という）との構成の違いは、導体部保護層 5 の端面の構成に関して、第 2 7 実施形態の装置においては、導体部保護層 5 の端面が、半導体素子保護層 7 の端面に比べて内側にあるとともに応力緩衝層 3 の端部（端面）に比べて外側にあるように構成しているのに対し、第 2 8 実施形態の装置においては、導体部保護層 5 の端面が、半導体素子保護層 7 の端面及び応力緩衝層 3 の端部（端面）に比べて外側にあるように構成している点だけであって、その他に、第 2 7 実施形態の装置と第 2 8 実施形態の装置との間に構成上の相違はない。このため、第 2 8 実施形態の装置の構成については、これ以上の説明を省略する。

【 0 1 7 6 】

また、第 2 8 実施形態の装置の製造方法については、導体部保護層 5 の形成に際して、マスク印刷法に代えてスクリーン印刷法を用いている点を除けば、第 2 7 実施形態の装置の製造方法と同じであるので、この第 2 8 実施形態の装置の製造方法についてもその説明を省略する。

【 0 1 7 7 】

このような方法によって製造した第 2 8 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 1 7 8 】

続く、図 2 9 は、本発明の第 2 9 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 1 7 9 】

図 2 9 において、図 2 8 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 1 8 0 】

前記第 2 8 の実施の形態の半導体装置（以下、再び第 2 8 実施形態の装置という）と、この第 2 9 の実施の形態の半導体装置（以下、第 2 9 実施形態の装置という）との構成の違いは、導体部保護層 5 の端面及び応力緩衝層 3 の端部（端面）の構成に関して、第 2 8 実施形態の装置においては、応力緩衝層 3 の端部（端面）が半導体素子保護層 7 の端面に比べて内側にあるように構成しているのに対し、第 2 9 実施形態の装置においては、応力緩衝層 3 の端部（端面）が半導体素子保護層 7 の端面に比べて外側にあり、その外側部分の応力緩衝層 3 の端部（端面）が半導体素子 1 の表面まで達するように構成している点だけであって、その他に、第 2 8 実施形態の装置と第 2 9 実施形態の装置との間に構成上の相違はない。このため、第 2 9 実施形態の装置の構成については、これ以上の説明を省略する。

【 0 1 8 1 】

また、第 2 9 実施形態の装置の製造方法については、導体部保護層 5 の形成に際して、スクリーン印刷法に代えてマスク印刷法を用いている点を除けば、第 2 8 実施形態の装置の製造方法と同じであるので、この第 2 9 実施形態の装置の製

造方法についてもその説明を省略する。

【 0 1 8 2 】

このような方法によって製造した第 2 9 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 1 8 3 】

続いて、図 3 0 は、本発明の第 3 0 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 1 8 4 】

図 3 0 において、図 2 2 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 1 8 5 】

前記第 2 2 の実施の形態の半導体装置（以下、再び第 2 2 実施形態の装置という）と、この第 3 0 の実施の形態の半導体装置（以下、第 3 0 実施形態の装置という）との構成の違いは、導体部保護層 5 の端部（端面）の構成に関して、第 2 2 実施形態の装置においては、半導体素子保護層 7 の端面と応力緩衝層 3 の端部（端面）と導体部保護層 5 の端部（端面）とがそれぞれ同一面になるように構成しているのに対し、第 3 0 実施形態の装置においては、半導体素子保護層 7 の端面と応力緩衝層 3 の端部（端面）とが同一面になり、導体部保護層 5 の端部（端面）がこの同一面に比べて外側にあり、しかも、その外側部分の導体部保護層 5 の端部（端面）が半導体素子 1 の表面まで達するように構成している点だけであって、その他に、第 2 2 実施形態の装置と第 3 0 実施形態の装置との間に構成上の相違はない。このため、第 3 0 実施形態の装置の構成については、これ以上の説明を省略する。

【 0 1 8 6 】

また、第 3 0 実施形態の装置の製造方法については、第 2 2 実施形態の装置の

製造方法と同じであるので、第 3 0 実施形態の装置の製造方法についてもその説明を省略する。

【 0 1 8 7 】

このような方法によって製造した第 3 0 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 1 8 8 】

次に、図 3 1 は、本発明の第 3 1 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 1 8 9 】

図 3 1 において、図 2 4 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 1 9 0 】

前記第 2 4 の実施の形態の半導体装置（以下、再び第 2 4 実施形態の装置という）と、この第 3 1 の実施の形態の半導体装置（以下、第 3 1 実施形態の装置という）との構成の違いは、応力緩衝層 3 の端部（端面）と導体部保護層 5 の端部（端面）の構成に関して、第 2 4 実施形態の装置においては、応力緩衝層 3 の端部（端面）が導体部保護層 5 の端部（端面）に比べて外側にあり、応力緩衝層 3 に露出した端部表面 3（2）を設けているのに構成しているのに対し、第 3 1 実施形態の装置においては、半導体素子保護層 7 の端面と応力緩衝層 3 の端部（端面）とが同一面になり、応力緩衝層 3 の端部（端面）が導体部保護層 5 の端部（端面）に比べて内側にあるように構成している点だけであって、その他に、第 2 4 実施形態の装置と第 3 1 実施形態の装置との間に構成上の相違はない。このため、第 3 1 実施形態の装置の構成については、これ以上の説明を省略する。

【 0 1 9 1 】

また、第 3 1 実施形態の装置の製造方法については、導体部保護層 5 の形成に

際して、スクリーン印刷法に代えてマスク印刷法を用いている点を除けば、第 2 4 実施形態の装置の製造方法と同じであるので、この第 3 1 実施形態の装置の製造方法についてもその説明を省略する。

【 0 1 9 2 】

このような方法によって製造した第 3 1 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 1 9 3 】

次いで、図 3 2 は、本発明の第 3 2 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 1 9 4 】

図 3 2 において、図 2 8 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 1 9 5 】

前記第 2 8 の実施の形態の半導体装置（以下、再び第 2 8 実施形態の装置という）と、この第 3 2 の実施の形態の半導体装置（以下、第 3 2 実施形態の装置という）との構成の違いは、導体部保護層 5 の端部（端面）の構成に関して、第 2 8 実施形態の装置においては、導体部保護層 5 の端面が溝部の形成によって半導体素子 1 の表面に立設状態になるように構成しているのに対し、第 3 2 実施形態の装置においては、導体部保護層 5 の端部（端面）が段階的に異なる傾斜角度を有する複数の傾斜面になるように構成している点だけであって、その他に、第 2 8 実施形態の装置と第 3 2 実施形態の装置との間に構成上の相違はない。このため、第 3 2 実施形態の装置の構成については、これ以上の説明を省略する。

【 0 1 9 6 】

また、第 3 2 実施形態の装置の製造方法については、第 2 8 実施形態の装置の製造方法と同じであるので、第 3 2 実施形態の装置の製造方法についてもその説

明を省略する。

【 0 1 9 7 】

このような方法によって製造した第 3 2 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 1 9 8 】

続く、図 3 3 は、本発明の第 3 3 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【 0 1 9 9 】

図 3 3 において、図 2 9 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 2 0 0 】

前記第 2 9 の実施の形態の半導体装置（以下、再び第 2 9 実施形態の装置という）と、この第 3 3 の実施の形態の半導体装置（以下、第 3 3 実施形態の装置という）との構成の違いは、導体部保護層 5 の端部（端面）の構成に関して、第 2 9 実施形態の装置においては、導体部保護層 5 の端面が溝部の形成によって半導体素子 1 の表面に立設状態になるように構成しているのに対し、第 3 3 実施形態の装置においては、導体部保護層 5 の端部（端面）が段階的に異なる傾斜角度を有する複数の傾斜面になるように構成している点だけであって、その他に、第 2 9 実施形態の装置と第 3 3 実施形態の装置との間に構成上の相違はない。このため、第 3 2 実施形態の装置の構成については、これ以上の説明を省略する。

【 0 2 0 1 】

また、第 3 3 実施形態の装置の製造方法については、第 2 9 実施形態の装置の製造方法と同じであるので、第 3 3 実施形態の装置の製造方法についてもその説明を省略する。

【 0 2 0 2 】

このような方法によって製造した第 3 2 実施形態の装置は、リード配線部 4 を形成した直後に適否の評価を行ったところ、全評価個数に対して不適（不良）個数は皆無であった。また、ダイシング直後に外観検査したところ、半導体パッケージの不良品個数の発生は皆無であり、第 1 実施形態の装置で行ったものと同じ温度試験を行ったところ、やはり各サンプルに対する不良品個数の発生は皆無であった。

【 0 2 0 3 】

ところで、第 1 0 乃至第 3 3 の実施の形態の半導体装置に用いられる半導体素子保護層 7 は、使用可能な材料として、半導体素子 1 を外部環境に対して保護できるものであれば、前記ネガ型感光性ポリイミド樹脂に限られるものではない。すなわち、使用可能な材料としては、ポリイミド、ポリカーボネート、ポリエステル、ポリテトラフルオロエチレン、ポリエチレン、ポリプロピレン、ポリビニリデンフロリド、酢酸セルロース、ポリスルホン、ポリアクリロニトリル、ポリアミド、ポリアミドイミド、エポキシ、マレイミド、フェノール、シアネート、ポリオレフィン、ポリウレタン及びこれらの化合物を用いてもよく、これら化合物にアクリルゴム、シリコーンゴム、ニトリルブタジエンゴム等のゴム成分や、ポリイミドフィラ等の有機化合物フィラやシリカなどの無機フィラを加えた混合物を用いてもよい。さらに、これらの材料を含んだ感光性材料を用いてもよい。

【 0 2 0 4 】

また、第 1 乃至第 3 3 の実施の形態による半導体装置に用いられる応力緩衝層 3 は、使用可能な材料として、応力を緩衝する必要があることから、低弾性樹脂であることが好ましい。具体的には、フッ素ゴム、シリコーンゴム、フッ化シリコーンゴム、アクリルゴム、水素化ニトリルゴム、エチレンプロピレンゴム、クロルスルホン化ポリスチレン、エピクロルヒドリンゴム、ブチルゴム、ウレタンゴムや、ポリカーボネート／アクリロニトリルブタジエンスチレンアロイ、ポリシロキサジメチレンテレフタレート／ポリエチレンテレフタレート共重合ポリブチレンテレフタレート／ポリカーボネートアロイ、ポリテトラフルオロエチレン、フロリネイテッドエチレンプロピレン、ポリアリレート、ポリアミド／アクリロニトリルブタジエンスチレンアロイ、変性エポキシ、変性ポリオレフィン、

シロキサン変性ポリアミドイミド等を挙げることができる。この他にも、エポキシ樹脂、不飽和ポリエステル樹脂、エポキシイソシアネート樹脂、マレイミド樹脂、マレイミドエポキシ樹脂、シアン酸エステル樹脂、シアン酸エステルエポキシ樹脂、シアン酸エステルマレイミド樹脂、フェノール樹脂、ジアリルフタレート樹脂、ウレタン樹脂、シアナミド樹脂、マレイミドシアナミド樹脂等の各種熱硬化性樹脂やこれらの樹脂を2種以上組み合わせた材料やこれらの樹脂に無機フィラー等を配合した材料であってもよい。また、これらの樹脂に感光性を付与し、所定の露光現像プロセスにより応力緩衝層3の形状をコントロールすることも可能である。

【0205】

この場合、本発明の半導体装置については、応力緩衝層3の厚さと半導体素子1の大きさを変えたものを各種製造し、それらの半導体装置を実装基板に搭載し、温度 -55°C 乃至 125°C の範囲において実装信頼性の評価テストを行ったところ、応力緩衝層3の厚さを t 、半導体素子1の重心部から半導体素子1最外端部までの距離を R としたとき、 t と R との関係が、 $t/R \geq 0.01$ の式を満たす場合に実装信頼性が良好になることが判明している。

【0206】

さらに、第1乃至第33の実施の形態による半導体装置に用いられるリード配線部4は、使用材料として、金(Au)、銅(Cu)、アルミニウム(Al)、及び、銅(Cu)やアルミニウム(Al)の表面に金(Au)メッキを施したものをを用いている。

【0207】

また、第1乃至第33の実施の形態による半導体装置に用いられる導体部保護層5は、特に、使用材料に制限がないが、エポキシ樹脂やポリイミド樹脂、ポリアミド樹脂等の有機化合物部に無機フィラーが配合したものをスクリーン印刷等によってリード配線部4と外部電極6との接続部分を除いたリード配線部4上を含む応力緩衝層3上に形成するのが一般的である。その際、感光性を付与した材料を付加させることも可能である。

【0208】

さらに、第 1 乃至第 3 3 の実施の形態による半導体装置に用いられる外部電極 6 は、半導体装置を搭載した基板に電氣的に接続される導電体であることから、使用材料として、具体的に、錫 (S n)、亜鉛 (Z n)、鉛 (P b) を含んだ半田合金、銀 (A g)、銅 (C u) または金 (A u)、あるいは半田合金、銀 (A g)、銅 (C u) を金 (A u) で被覆し、ボール状に形成したものをを用いている。これらの材料以外にも、モリブデン (M o)、ニッケル (N i)、銅 (C u)、白金 (P t)、チタン (T i) 等の金属、あるいはこれらの金属を 2 種以上組み合わせ合わせた合金、もしくは 2 層以上の多重膜として構成したものをを用いるようにしてもよい。

【 0 2 0 9 】

次に、第 1 乃至第 3 3 の実施の形態の半導体装置で得られる特性との差を比較するために、別途、比較例となる半導体装置について幾つかを形成した。

【 0 2 1 0 】

図 3 4 は、第 1 の比較例となる半導体装置であって、その要部構成を示す断面図である。

【 0 2 1 1 】

図 3 4 において、図 1 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 2 1 2 】

前記第 1 の実施の形態の半導体装置（以下、再び第 1 実施形態の装置という）と、この第 1 比較例の半導体装置（以下、第 1 比較例の装置という）との構成の違いは、応力緩衝層 3 及び導体部保護層 5 の端部領域の構成に関して、第 1 実施形態の装置においては、応力緩衝層 3 及び導体部保護層 5 がそれぞれ応力緩衝層 3 の底面及び導体部保護層 5 の底面にまで達する溝部を有し、それにより半導体素子 1 の端部表面 1 (1) 上の応力緩衝層 3 の端面及び導体部保護層 5 の端面が半導体ウエハに形成された切断用スクライブラインよりも内側に形成され、半導体素子 1 の端部表面 1 (1) は、その端面からスクライブラインの内側までの範囲が露出されるように構成されているのに対し、第 1 比較例の装置においては、応力緩衝層 3 の端面及び導体部保護層 5 の端面が半導体素子 1 の端面と同一面に

あって、露出した端部表面 1 (1) を有しないように構成されている点だけであって、その他に、第 1 実施形態の装置と第 1 比較例の装置との間に構成上の相違はない。このため、第 1 比較例の装置の構成については、これ以上の説明を省略する。

【 0 2 1 3 】

この第 1 比較例の装置の製造方法について述べると、始めに、シリコン (S i) 等からなる半導体ウエハの一面に、スクライブラインの交差部分となるアルミニウム (A l) の位置合わせマークを形成し、位置合わせマークで囲まれた領域内にそれぞれアルミニウム (A l) の電極パッド 2 を形成するとともに、集積回路部 (図示なし) を形成配置する。

【 0 2 1 4 】

次に、位置合わせマークや電極パッド 2 等を形成した半導体ウエハの一面に、エポキシ樹脂とオルソクレゾールノボラック型硬化剤とアクリルゴムとシリカフィラとからなる厚さが $100\mu\text{m}$ で、硬化後の室温の弾性率が 3000MPa の未硬化のドライフィルムをロールラミネータを用い、温度 150°C の環境下で接着させ、接着させたドライフィルムを温度 150°C で 1 時間加熱硬化することにより応力緩衝層 3 を形成する。

【 0 2 1 5 】

次いで、酸素プラズマエッチングを実施し、電極パッド 2 上にある応力緩衝層 3 の残渣を除去し、併せて電極パッド 2 表面の酸化膜を除去した後、応力緩衝層 3 の開口 3 (1) 内及び応力緩衝層 3 上に、厚さ 500\AA のクローム (C r) 膜を蒸着し、その上に厚さ $0.5\mu\text{m}$ の銅 (C u) 膜を蒸着する。そして、この蒸着膜上にネガ型感光性レジストをスピンコート塗布し、プリバーク、露光、現像を行い、厚さが $15\mu\text{m}$ のレジスト配線パターンを形成する。形成した配線パターンの内部に電気メッキにより厚さ $10\mu\text{m}$ の銅 (C u) 膜を形成し、その上に電気メッキにより厚さ $2\mu\text{m}$ のニッケル (N i) 膜を形成する。この後、レジストを剥離液を用いて剥離し、蒸着膜中の銅 (C u) 膜を過硫酸アンモニウム／硫酸系水溶液によりエッチングし、さらに蒸着膜中のクローム (C r) 膜を過マンガン酸カリウム系水溶液でエッチングし、リード配線部 4 を形成する。このリー

ド配線部 4 を形成した時点に、第 1 の実施の形態の半導体装置で行ったのと同様の評価（第 1 回目の評価）を行う。

【 0 2 1 6 】

続いて、リード配線部 4 上を含む応力緩衝層 3 上に、スクリーン印刷によって感光性ソルダーレジストワニスを塗布し、塗布膜を温度 8 0 °C で 2 0 分間乾燥した後、所定のパターンを用いて、露光、現像を行い、温度 1 5 0 °C で 1 時間加熱硬化させることにより、リード配線部 4 上の一部に複数の窓部 5 （ 1 ）を有する導体部保護層 5 を形成する。

【 0 2 1 7 】

次に、窓部 5 （ 1 ）を通して露出したリード配線部 4 のニッケル（Ni）膜上に置換メッキにより厚さ 0 . 1 μm の金（Au）メッキ膜を形成する。この後、メタルマスクを用いて金（Au）メッキ膜にフラックスを塗布し、直径が約 0 . 3 5 mm の Sn - Ag - Cu 系の半田ボールを載せ、その半田ボールを赤外線リフロー炉を用いて温度 2 6 0 °C で 1 0 秒間加熱し、外部電極 6 を形成する。

【 0 2 1 8 】

最後に、半導体チップをスクライブラインに沿って厚さ 0 . 2 mm のダイシングソーにより切断し、複数の半導体装置を得ている。このとき、得られた半導体装置について、第 1 の実施の形態の半導体装置で行ったのと同様の評価（第 2 回目の評価）を行い、さらに、第 1 の実施の形態の半導体装置で行ったのと同様の温度試験を行った後で再度評価（第 3 回目の評価）を行った。

【 0 2 1 9 】

このような製造方法によって製造した第 1 比較例による半導体装置は、第 1 回目の評価時においては、リード配線部 4 に対して 3 0 % 程度の導体部パターン不良が発生しており、また、ダイシング直後の第 2 回目の評価（外観検査）時には、ダイシング時に複数層からなる切断部分に大きな機械的応力が加わることから、2 0 % 程度の半導体装置不良が発生しており、さらに、温度試験を行った後の第 3 回目の評価時には、ダイシング時の大きな機械的応力とともに温度変動時の大きな熱応力が複数層からなる切断部分に加わることから、サンプルのほぼ全数に断線不良等のパッケージ不良が発生している。

【 0 2 2 0 】

次に、図 3 5 は、第 2 の比較例となる半導体装置であって、その要部構成を示す断面図である。

【 0 2 2 1 】

図 3 5 において、図 6 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 2 2 2 】

前記第 6 の実施の形態の半導体装置（以下、再び第 6 実施形態の装置という）と、この第 2 比較例の半導体装置（以下、第 2 比較例の装置という）との構成の違いは、導体部保護層 5 の端部領域の構成に関して、第 6 実施形態の装置においては、導体部保護層 5 がその底面にまで達する溝部を有し、それにより半導体素子 1 の端部表面 1（1）上の導体部保護層 5 の端面が半導体ウエハに形成された切断用スクライブラインよりも内側に形成され、半導体素子 1 の端部表面 1（1）は、その端面からスクライブラインの内側までの範囲が露出されるように構成されているのに対し、第 2 比較例の装置においては、導体部保護層 5 の端面が半導体素子 1 の端面と同一面にあって、露出した端部表面 1（1）を有しないように構成されている点だけであって、その他に、第 6 実施形態の装置と第 2 比較例の装置との間に構成上の相違はない。このため、第 2 比較例の装置の構成については、これ以上の説明を省略する。

【 0 2 2 3 】

第 2 比較例の装置の製造方法は、第 6 の実施の形態の装置の製造方法に比べ、スクリーン印刷による導体部保護層 5 の形成時に、第 6 の実施の形態の装置が導体部保護層 5 に溝部を形成しているのに対し、第 2 比較例の装置の製造方法が導体部保護層 5 を溝部を形成していない点だけであって、その他に、第 6 実施形態の装置と第 2 比較例の装置との間に製造方法についての相違はない。このため、第 2 比較例の装置の製造方法についてもこれ以上の省略する。

【 0 2 2 4 】

このような製造方法によって製造した第 2 比較例による半導体装置は、第 1 回目の評価時においては、リード配線部 4 に対して 3 0 % 以上の導体部パターン不

良が発生しており、また、ダイシング直後の第2回目の評価（外観検査）時には、ダイシング時に20%程度の半導体装置不良が発生しており、さらに、温度試験を行った後の第3回目の評価時には、サンプルのほぼ全数に断線不良等のパッケージ不良が発生している。

【0225】

次いで、図36は、第3の比較例となる半導体装置であって、その要部構成を示す断面図である。

【0226】

図36において、図10に示された構成要素と同じ構成要素については同じ符号をつけている。

【0227】

前記第10の実施の形態の半導体装置（以下、再び第10実施形態の装置という）と、この第3比較例の半導体装置（以下、第3比較例の装置という）との構成の違いは、半導体素子保護層7、応力緩衝層3、導体部保護層5の各端部領域の構成に関して、第10実施形態の装置においては、半導体素子保護層7、応力緩衝層3、導体部保護層5がそれぞれ半導体素子保護層7の底面、応力緩衝層3の底面、導体部保護層5の底面にまで達する溝部を有し、それにより半導体素子1の端部表面1（1）上の半導体素子保護層7の端面、応力緩衝層3の端面、導体部保護層5の端面がそれぞれ半導体ウエハに形成された切断用スクライブラインよりも内側に形成され、半導体素子1の端部表面1（1）は、その端面からスクライブラインの内側までの範囲が露出されるように構成されているのに対し、第3比較例の装置においては、半導体素子保護層7の端面、応力緩衝層3の端面、導体部保護層5の端面がそれぞれ半導体素子1の端面と同一面にあって、露出した端部表面1（1）を有しないように構成されている点だけであって、その他に、第10実施形態の装置と第3比較例の装置との間に構成上の相違はない。このため、第3比較例の装置の構成については、これ以上の説明を省略する。

【0228】

第3比較例の装置の製造方法は、第10の実施の形態の装置の製造方法と同じであるので、第3比較例の装置の製造方法については、その説明を省略する。

【 0 2 2 9 】

このような製造方法によって製造した第 3 比較例による半導体装置は、第 1 回目の評価時においては、リード配線部 4 に対して 3 0 % を若干下回る程度の導体部パターン不良が発生しており、また、ダイシング直後の第 2 回目の評価（外観検査）時においては、ダイシング時に 3 0 % 程度の半導体装置不良が発生しており、さらに、温度試験を行った後の第 3 回目の評価時においては、サンプルのほぼ全数に断線不良等のパッケージ不良が発生している。

【 0 2 3 0 】

続く、図 3 7 は、第 4 の比較例となる半導体装置であって、その要部構成を示す断面図である。

【 0 2 3 1 】

図 3 7 において、図 2 8 に示された構成要素と同じ構成要素については同じ符号をつけている。

【 0 2 3 2 】

前記第 2 8 の実施の形態の半導体装置（以下、再び第 2 8 実施形態の装置という）と、この第 4 比較例の半導体装置（以下、第 4 比較例の装置という）との構成の違いは、半導体素子保護層 7 及び導体部保護層 5 の各端部領域の構成に関して、第 2 8 実施形態の装置においては、半導体素子保護層 7 及び導体部保護層 5 がそれぞれ半導体素子保護層 7 の底面、導体部保護層 5 の底面にまで達する溝部を有し、それにより導体部保護層 5 の端面が半導体素子保護層 7 の端面に比べて外側にあり、かつ、導体部保護層 5 の端面が半導体ウエハに形成された切断用スクライブラインよりも内側に形成され、半導体素子 1 の端部表面 1（1）は、その端面からスクライブラインの内側までの範囲が露出されるように構成されているのに対し、第 4 比較例の装置においては、半導体素子保護層 7 の端面及び導体部保護層 5 の端面がそれぞれ半導体素子 1 の端面と同一面にあって、露出した端部表面 1（1）を有しないように構成されている点だけであって、その他に、第 2 8 実施形態の装置と第 4 比較例の装置との間に構成上の相違はない。このため、第 4 比較例の装置の構成については、これ以上の説明を省略する。

【 0 2 3 3 】

第 4 比較例の装置の製造方法は、第 2 8 の実施の形態の装置の製造方法と同じであるので、第 4 比較例の装置の製造方法については、その説明を省略する。

【 0 2 3 4 】

このような製造方法によって製造した第 4 比較例による半導体装置は、第 1 回目の評価時においては、リード配線部 4 に対して 3 0 % 程度の導体部パターン不良が発生しており、また、ダイシング直後の第 2 回目の評価（外観検査）時には、ダイシング時に 3 0 % 程度の半導体装置不良が発生しており、さらに、温度試験を行った後の第 3 回目の評価時においては、サンプルのほぼ全数に断線不良等のパッケージ不良が発生している。

【 0 2 3 5 】

このように、第 1 乃至第 3 3 の実施の形態の半導体装置は、第 1 乃至第 4 比較例の半導体装置と比べて、応力緩衝層 3、導体部保護層 5 の各端面、あるいは、半導体素子保護層 5、応力緩衝層 3、導体部保護層 5 の各端面を、半導体素子 1 端面より内側のスクライブラインの内側に形成するようにしているので、半導体ウェハの切断時に、半導体ウェハに付された位置合わせマークを確実に認識しながら切断することができ、得られた各半導体装置の切断位置のずれに伴う半導体パッケージ不良の発生をなくすることができる。

【 0 2 3 6 】

また、第 1 乃至第 3 3 の実施の形態の半導体装置は、半導体ウェハの切断によって各半導体装置を得る際に、各半導体装置の切断部を半導体素子だけの単層構造にしているので、半導体ウェハの切断時に機械的応力が発生しても、その機械的応力が単層構造に加わるだけになり、機械的応力による複数の樹脂層の剥離を防ぐことができる。

【 0 2 3 7 】

さらに、第 1 乃至第 3 3 の実施の形態の半導体装置は、各半導体装置の実装時に、大きく変化する環境温度に伴う熱応力が発生し、その熱応力が複数の樹脂層に加わったとしても、半導体ウェハの切断時に複数の樹脂層に大きな機械的応力が加わらず、複数の樹脂層が殆んどダメージを受けないことから、熱応力によって複数の樹脂層の剥離の発生を皆無または極めて少なくすることができる。

【 0 2 3 8 】

【発明の効果】

以上のように、本発明による半導体装置及び半導体装置の製造方法によれば、半導体素子の端部表面領域における、応力緩衝層及び導体部保護層の各端面、または、半導体素子保護層、応力緩衝層及び導体部保護層の各端面が半導体ウェハの切断用スクライブラインより内側になるように形成し、半導体素子の端面からスクライブラインの内側までの範囲を露出した状態にしたので、半導体ウェハを切断用スクライブラインに沿って切断する際に、半導体ウェハに付された位置合わせマークを確実に認識しながら切断することができ、得られた各半導体装置の切断位置のずれに伴う半導体パッケージ不良の発生をなくすることができるという効果がある。

【 0 2 3 9 】

また、本発明による半導体装置及び半導体装置の製造方法によれば、半導体ウェハの切断により各半導体装置を得るときに、各半導体装置の切断部を半導体素子だけの単層構造にし、半導体ウェハの切断時に機械的応力が発生しても、その機械的応力が単層構造に加わるだけであるので、機械的応力による複数の樹脂層の剥離を生じないという効果がある。

【 0 2 4 0 】

さらに、本発明による半導体装置及び半導体装置の製造方法によれば、各半導体装置の実装時に、大きく変化する環境温度に伴う熱応力が発生し、その熱応力が複数の樹脂層に加わっても、半導体ウェハの切断時に複数の樹脂層に大きな機械的応力が加わらず、複数の樹脂層が殆んどダメージを受けていないことから、熱応力により複数の樹脂層が剥離することが皆無または極めて少なくなるという効果がある。

【 0 2 4 1 】

その結果、本発明による半導体装置及び半導体装置の製造方法によれば、機械的応力及び熱応力の印加により、半導体装置に破損を生じることが皆無または極めて少なくなり、半導体装置の信頼性が高められるとともに、半導体装置製造時の歩留まりが高められるという効果がある。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 2】

本発明の第 2 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 3】

本発明の第 3 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 4】

本発明の第 4 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 5】

本発明の第 5 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 6】

本発明の第 6 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 7】

本発明の第 7 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 8】

本発明の第 8 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 9】

本発明の第 9 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 10】

本発明の第 1 0 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 1 1】

本発明の第 1 1 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 1 2】

本発明の第 1 2 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 1 3】

本発明の第 1 3 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 1 4】

本発明の第 1 4 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 1 5】

本発明の第 1 5 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 1 6】

本発明の第 1 6 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 1 7】

本発明の第 1 7 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 1 8】

本発明の第 1 8 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 1 9】

本発明の第 1 9 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 2 0】

本発明の第 2 0 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 2 1】

本発明の第 2 1 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 2 2】

本発明の第 2 2 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 2 3】

本発明の第 2 3 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 2 4】

本発明の第 2 4 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 2 5】

本発明の第 2 5 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 2 6】

本発明の第 2 6 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 2 7】

本発明の第 2 7 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 2 8】

本発明の第 2 8 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 2 9】

本発明の第 2 9 の実施の形態による半導体装置であって、その要部構成を示す

断面図である。

【図 3 0】

本発明の第 3 0 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 3 1】

本発明の第 3 1 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 3 2】

本発明の第 3 2 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 3 3】

本発明の第 3 3 の実施の形態による半導体装置であって、その要部構成を示す断面図である。

【図 3 4】

第 1 の比較例となる半導体装置であって、その要部構成を示す断面図である。

【図 3 5】

第 2 の比較例となる半導体装置であって、その要部構成を示す断面図である。

【図 3 6】

第 3 の比較例となる半導体装置であって、その要部構成を示す断面図である。

【図 3 7】

第 4 の比較例となる半導体装置であって、その要部構成を示す断面図である。

【符号の説明】

- 1 半導体素子
- 1 (1) 半導体素子 1 の露出した端部表面
- 2 電極パッド
- 3 応力緩衝層
- 3 (1) 応力緩衝層 3 に設けた開口 (第 2 開口)
- 3 (2) 応力緩衝層 3 の露出した端部表面
- 4 リード配線部

5 導体部保護層

5 (1) 導体部保護層 5 に設けた複数の窓部

6 外部電極

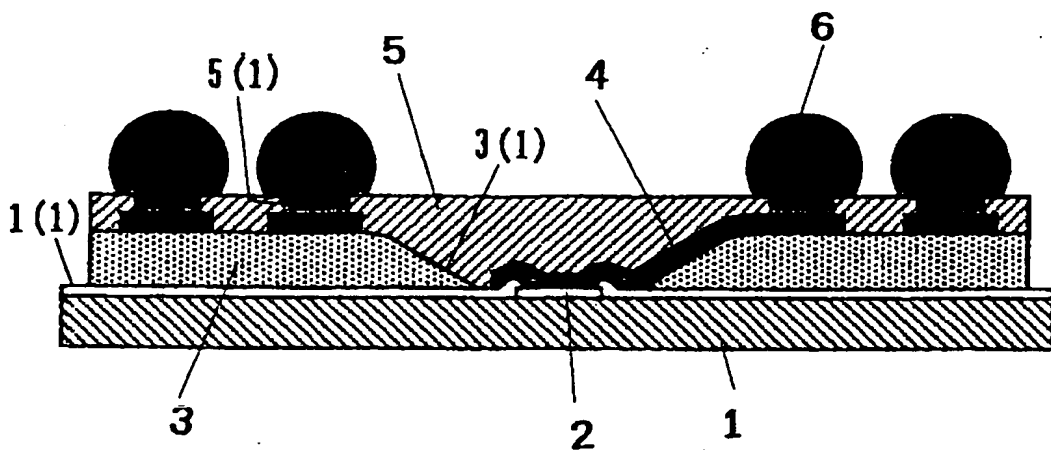
7 半導体素子保護層

7 (1) 半導体素子保護層 7 に設けた開口 (第 1 開口)

【書類名】 図面

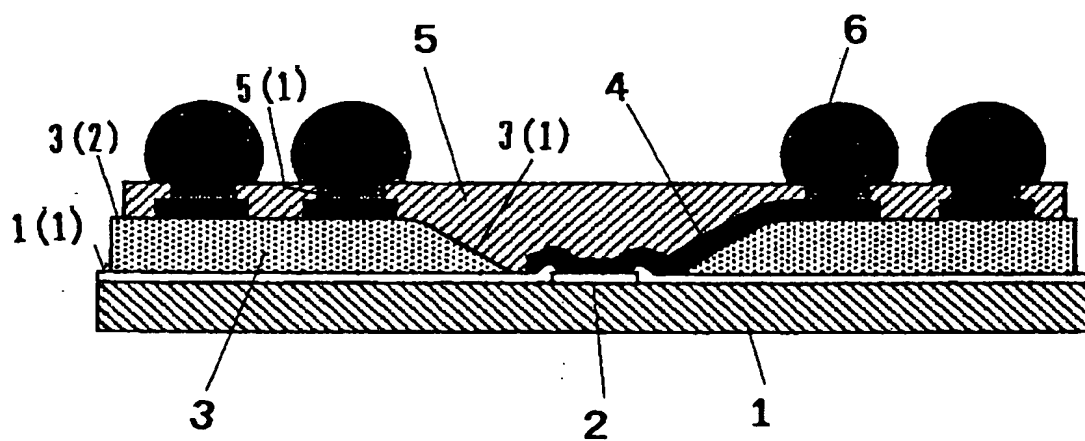
【図 1】

图 1

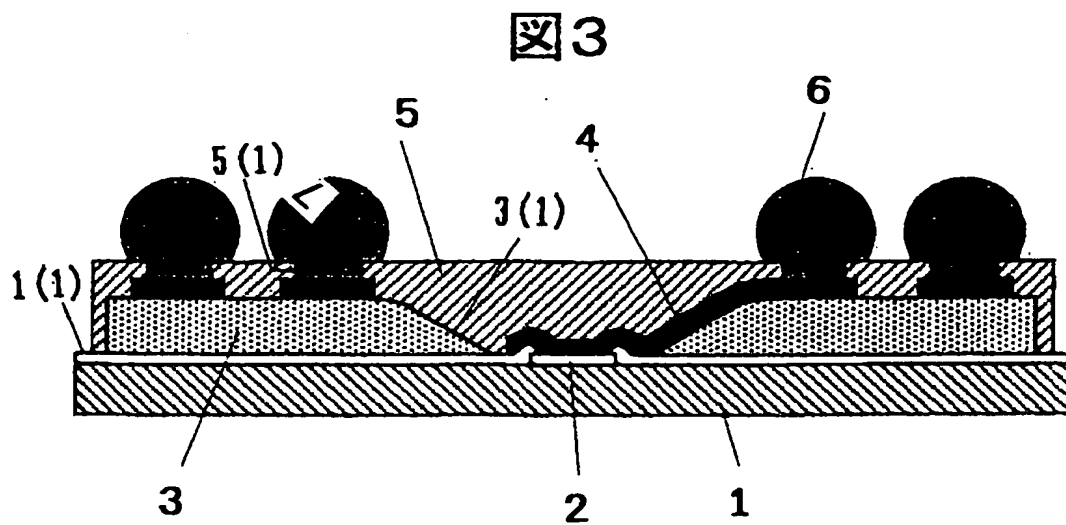


【図 2】

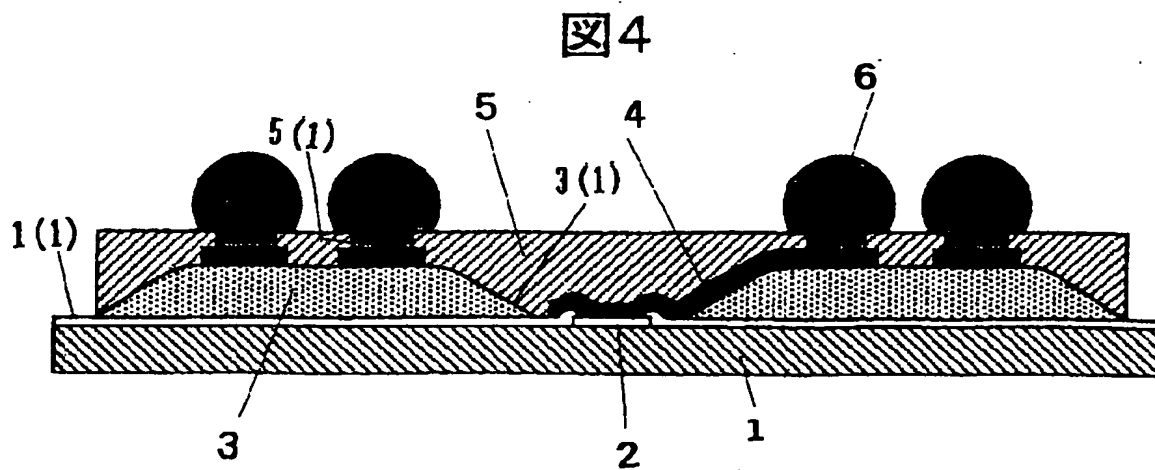
图 2



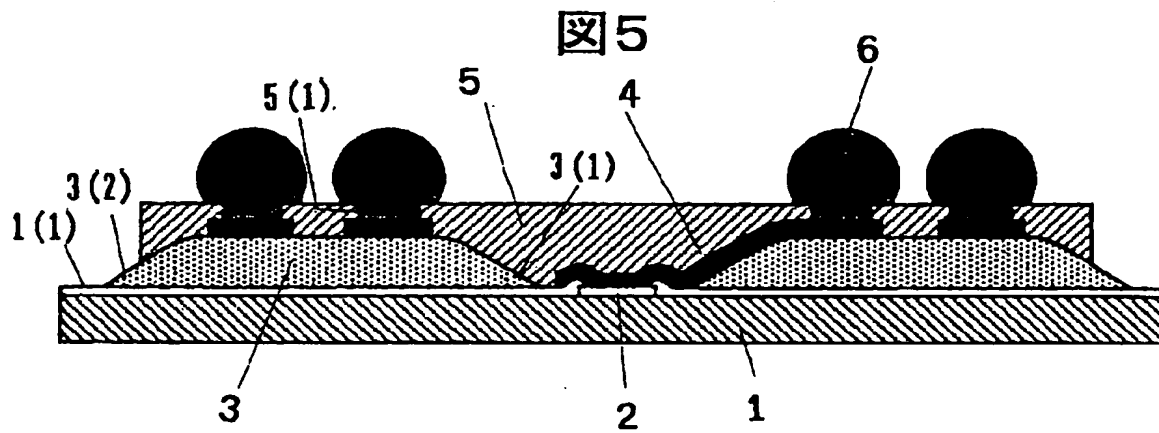
【図 3】



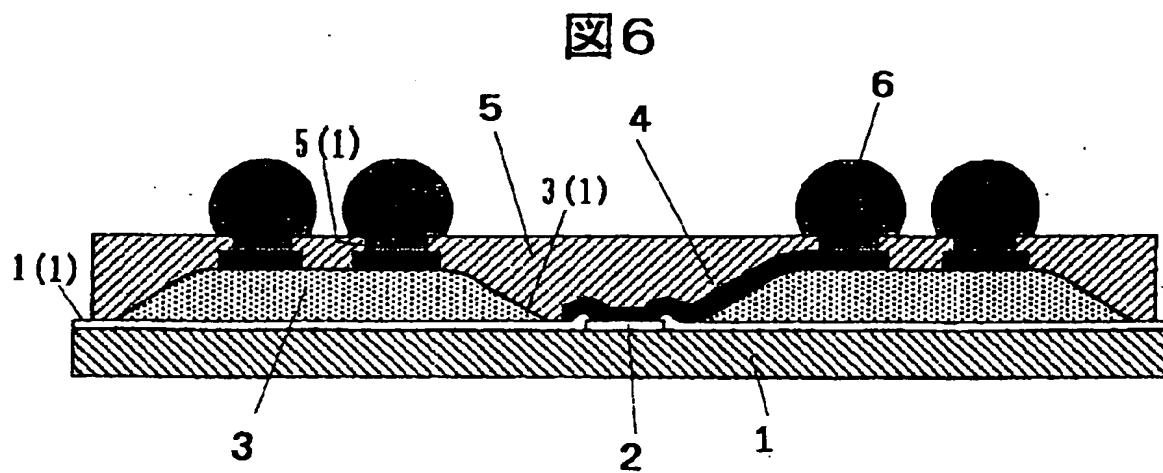
【図 4】



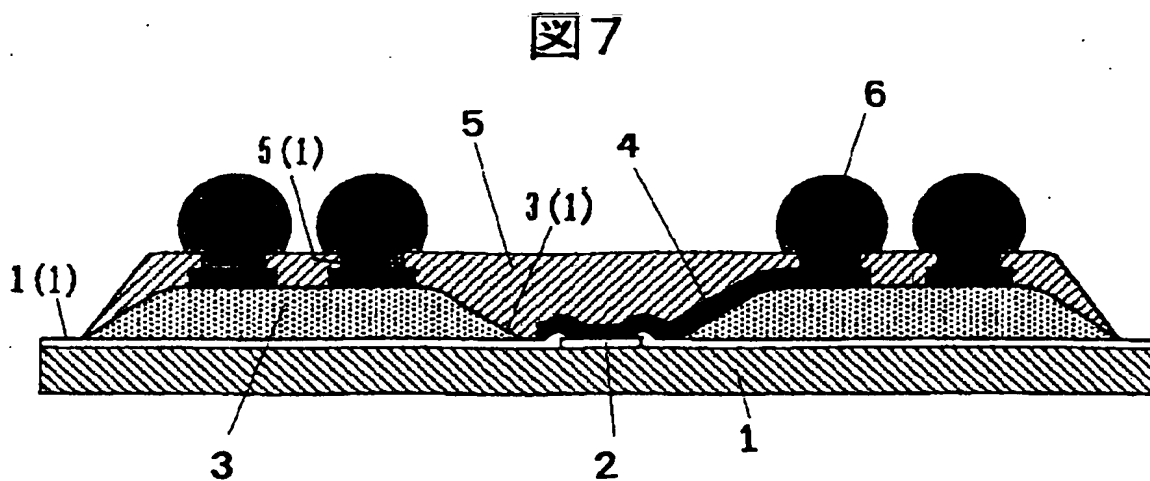
【図 5】



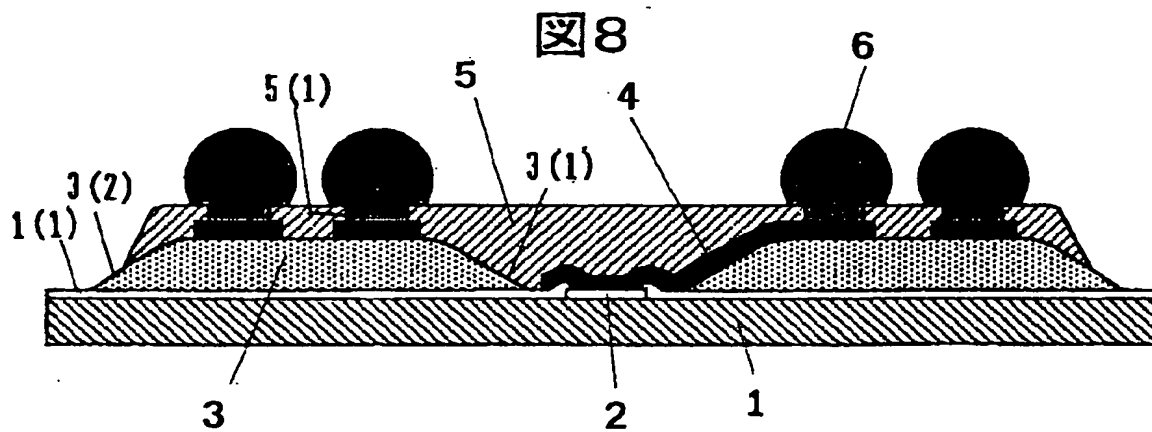
【図 6】



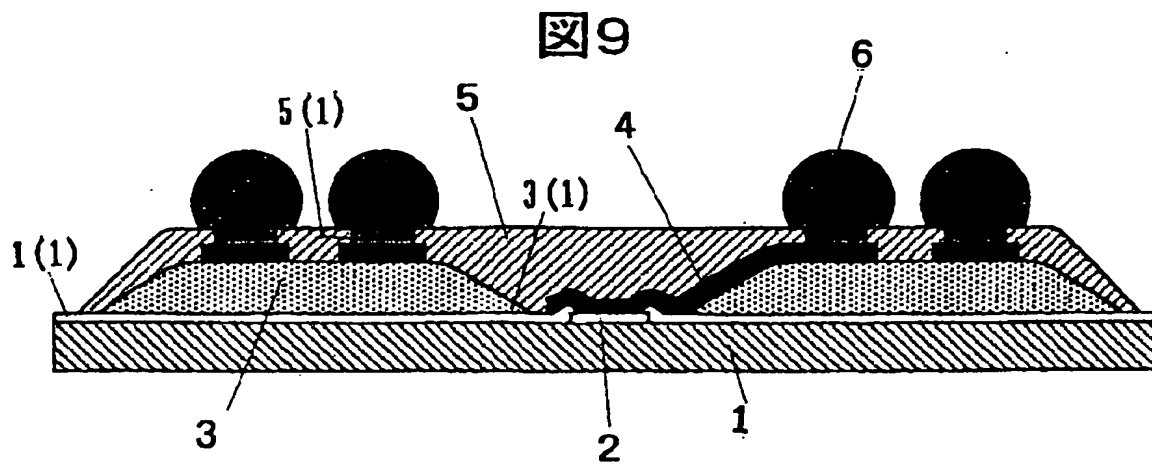
【図 7】



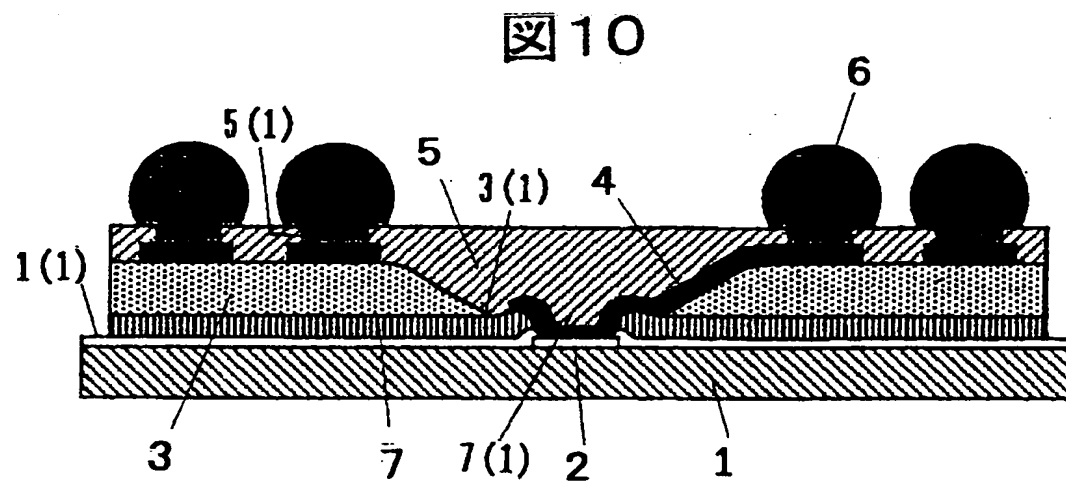
【図 8】



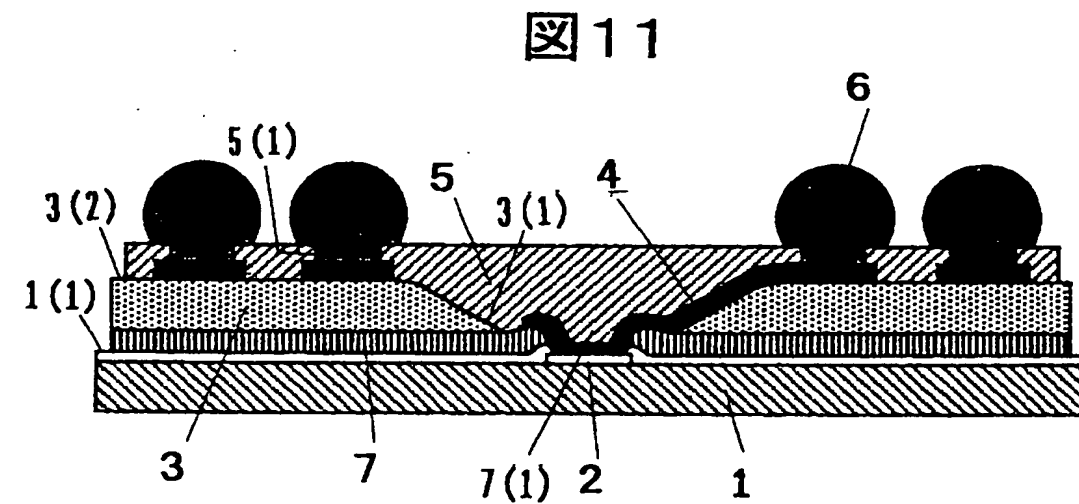
【図 9】



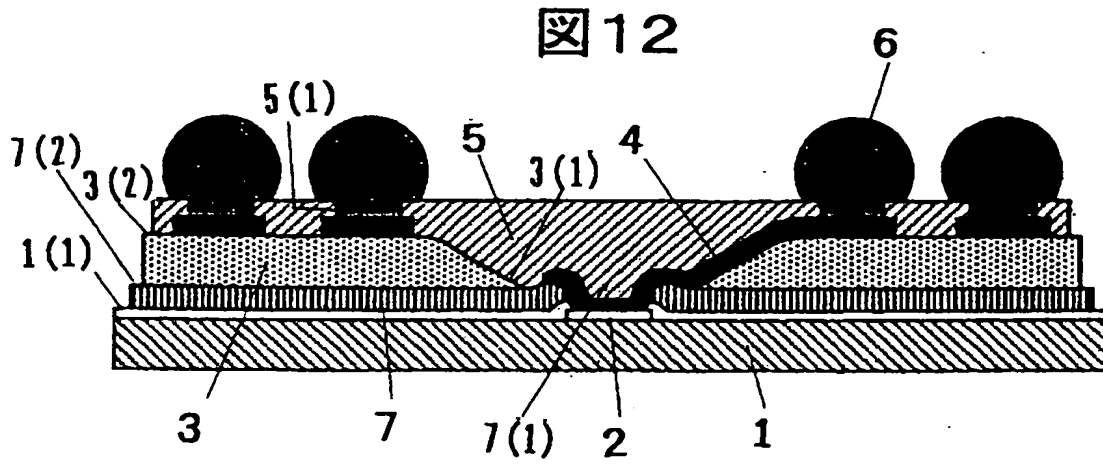
【図 10】



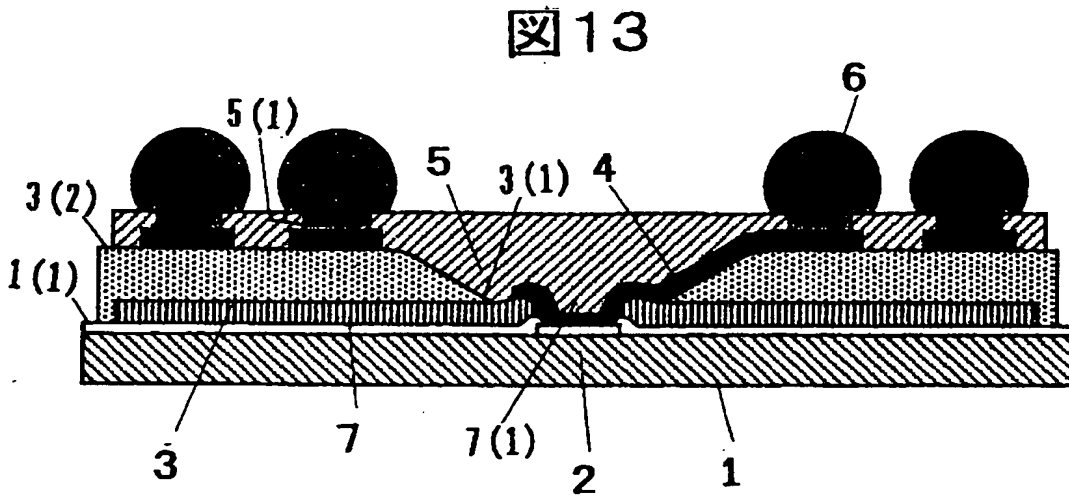
【図 11】



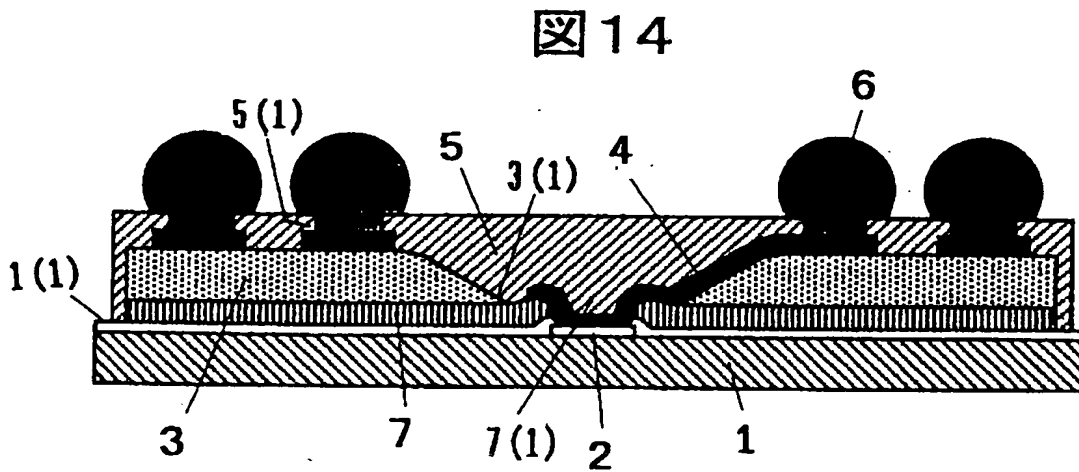
【図 12】



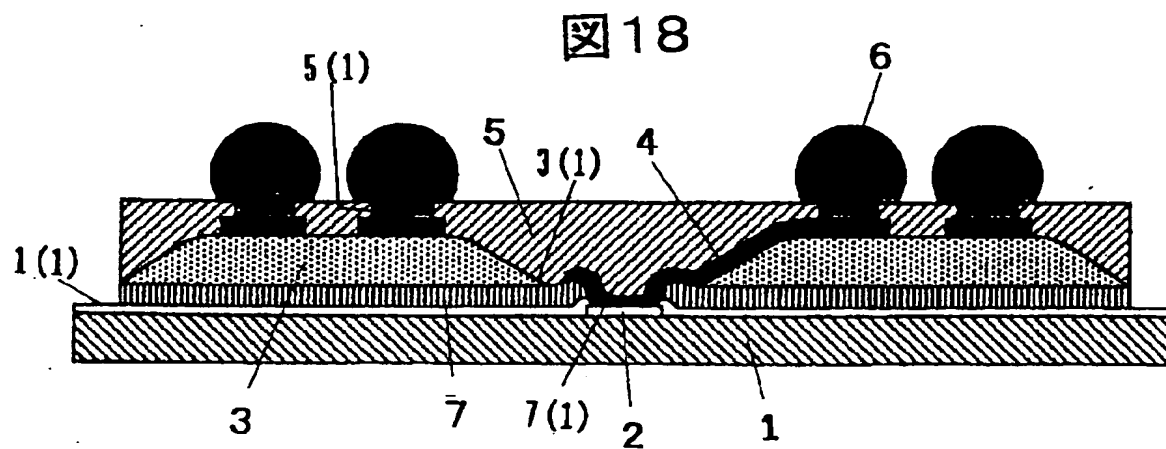
【図 13】



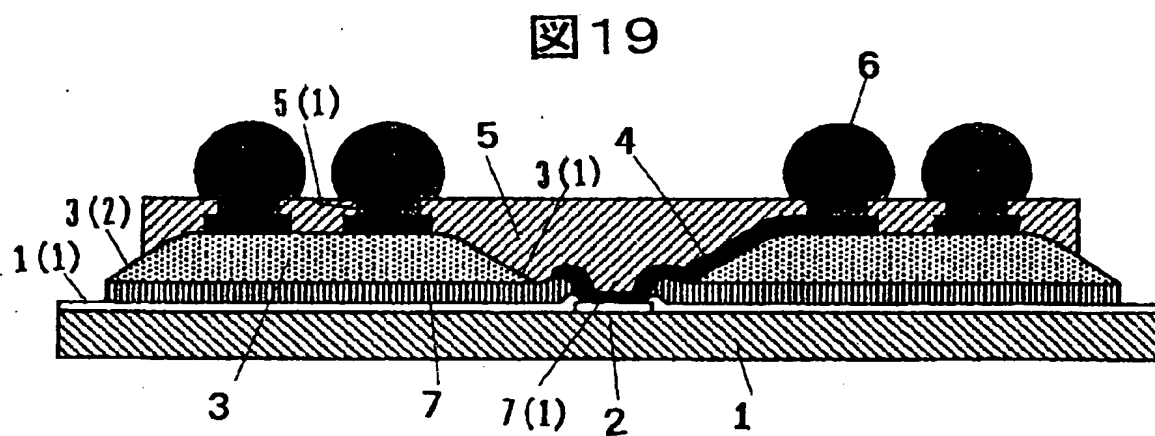
【図 14】



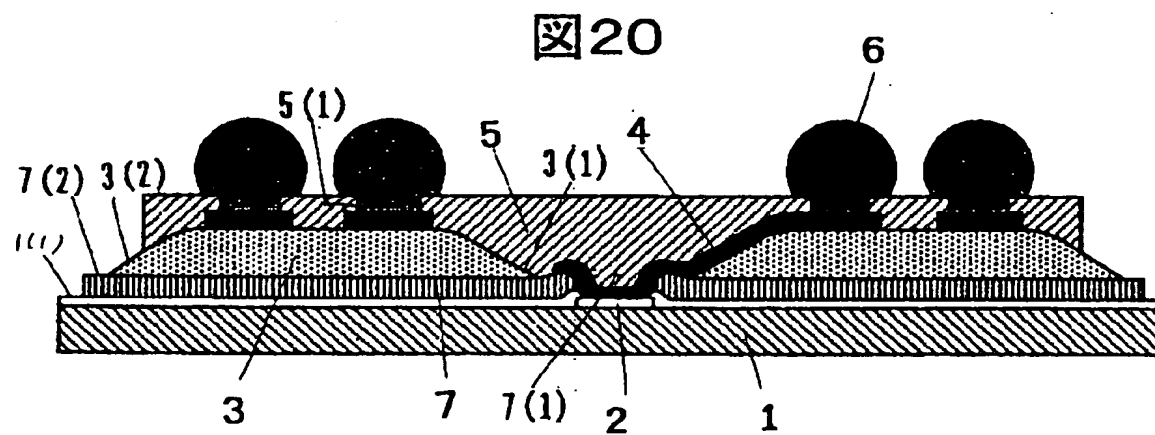
【図 18】



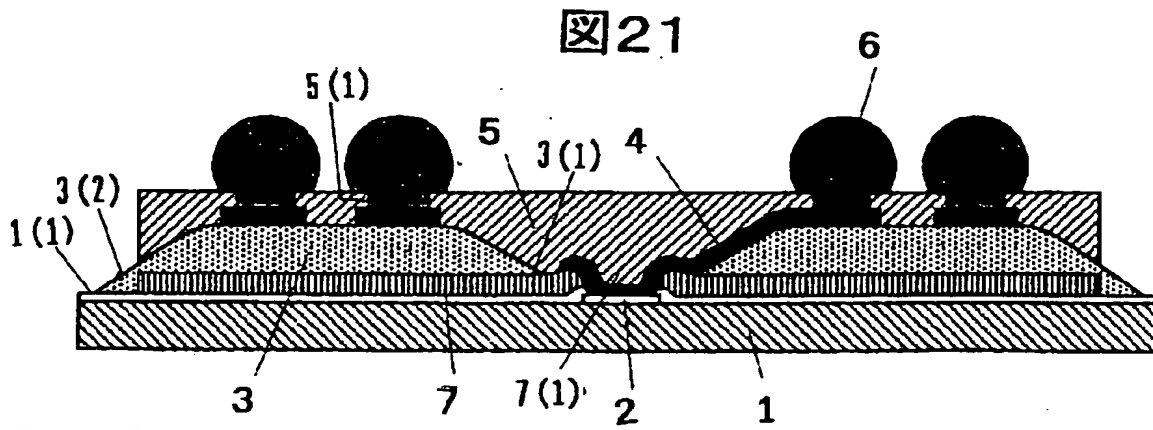
【図 19】



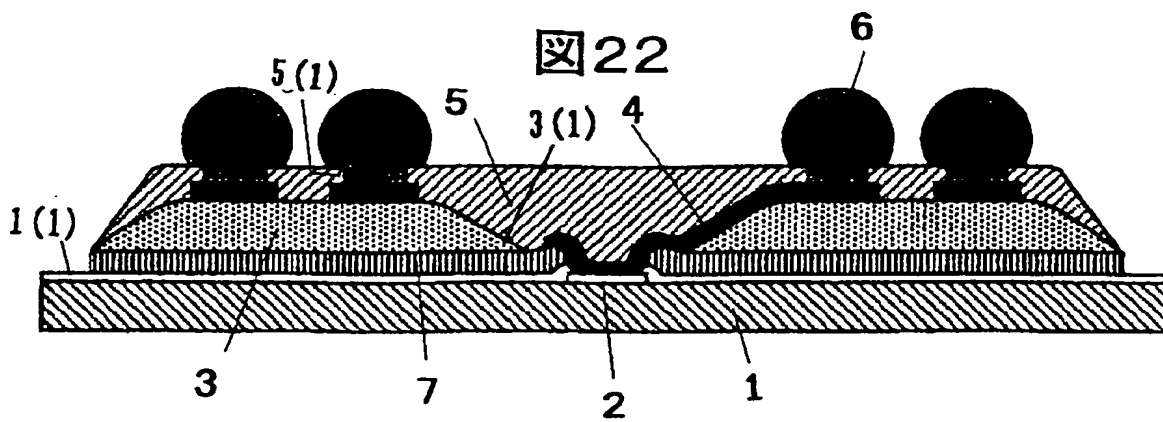
【図 20】



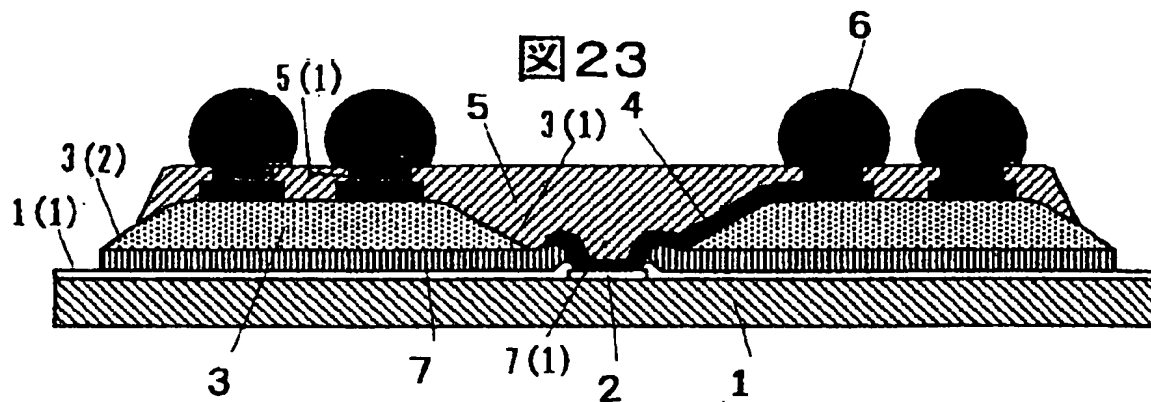
【図 21】



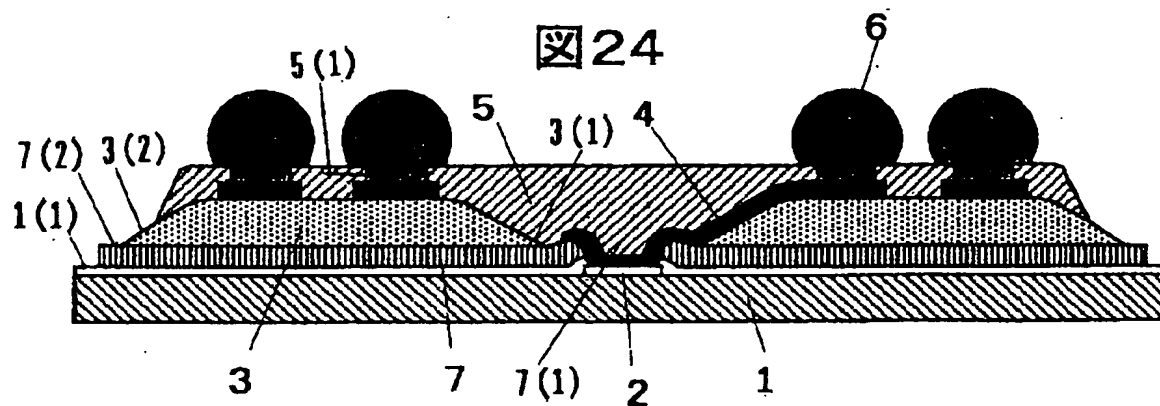
【図 22】



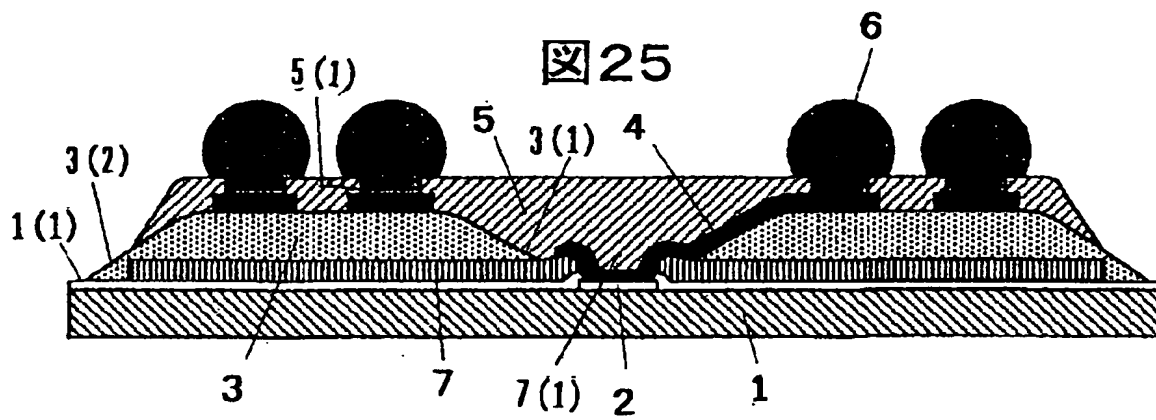
【図 23】



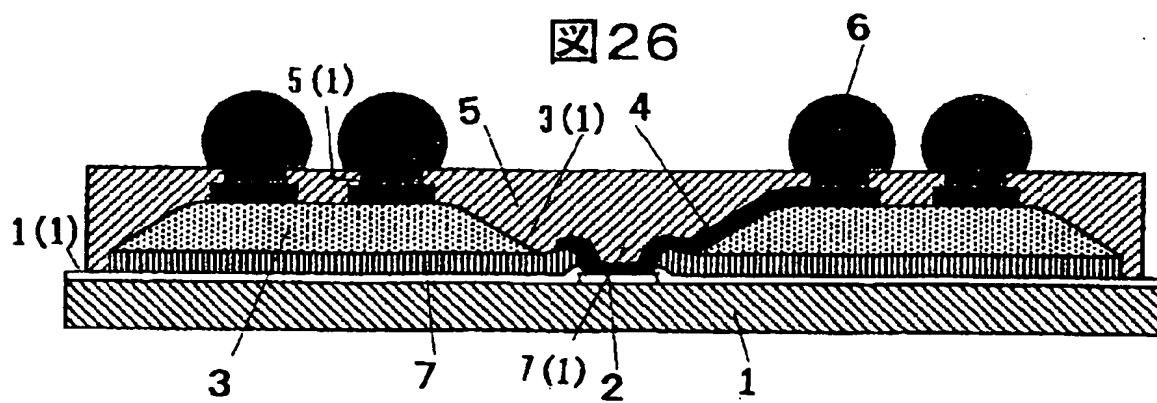
【図 24】



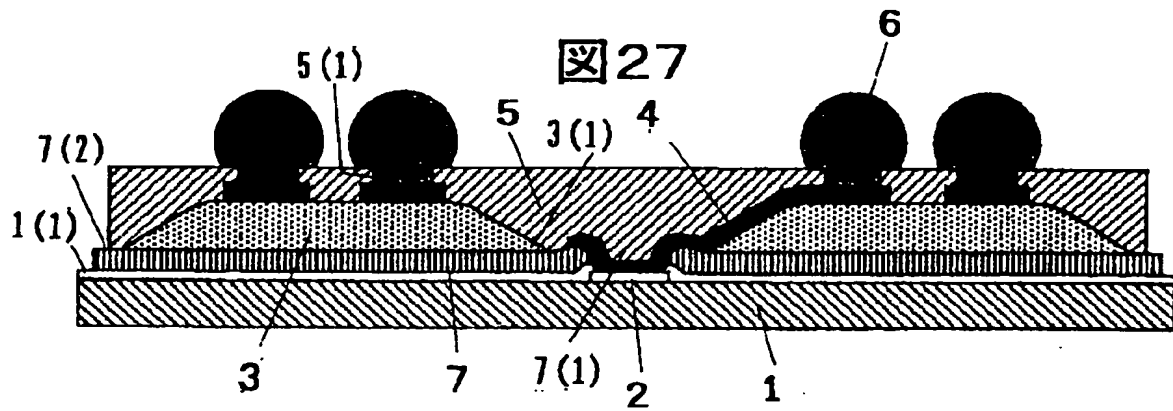
【図 25】



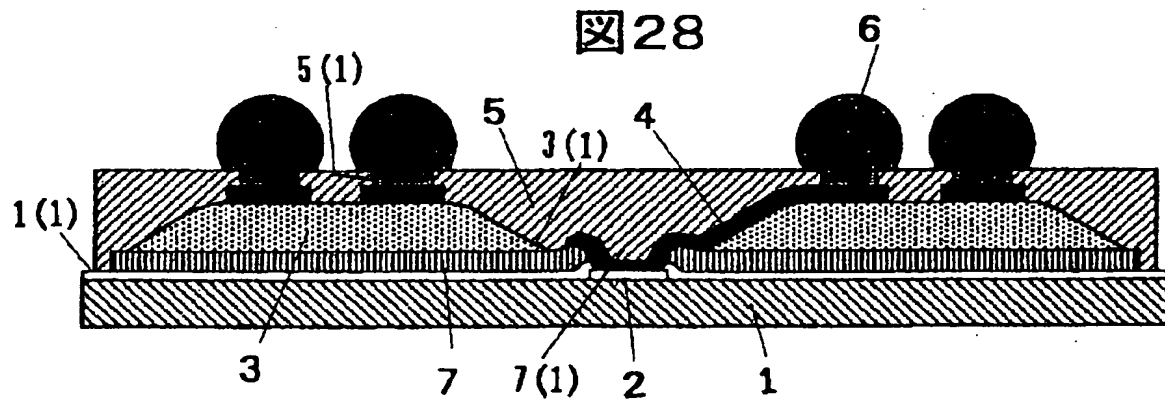
【図 26】



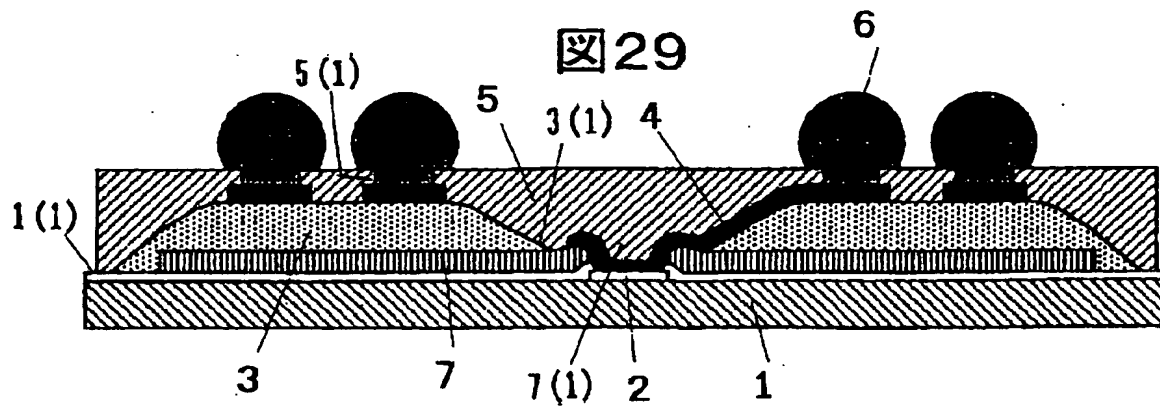
【图 2 7】



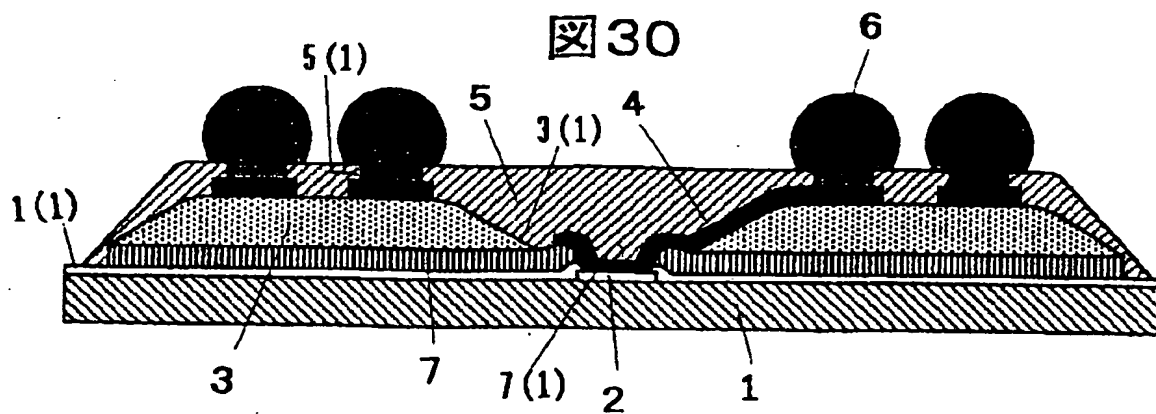
【图 2 8】



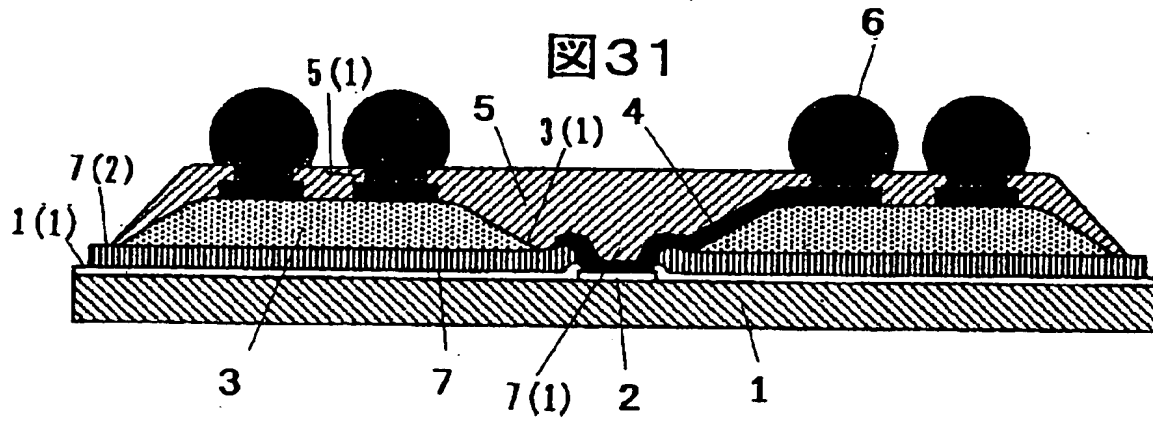
【図 29】



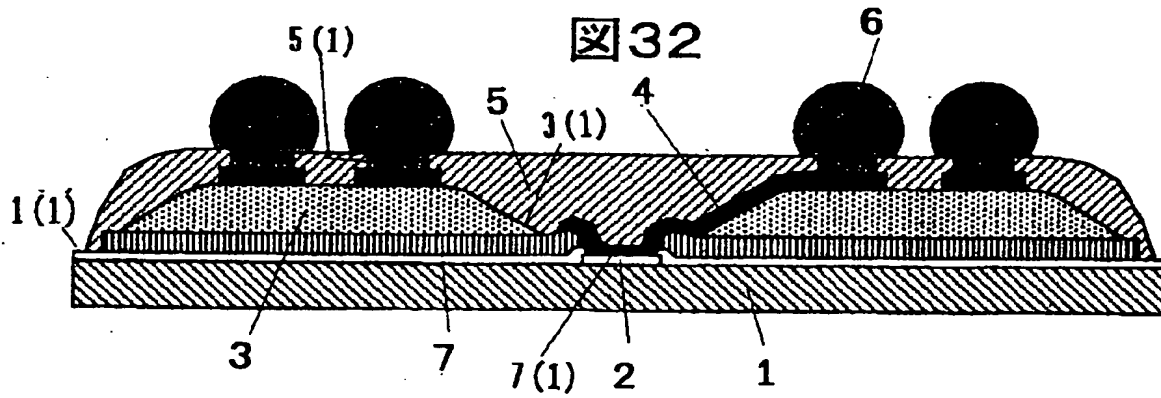
【図 30】



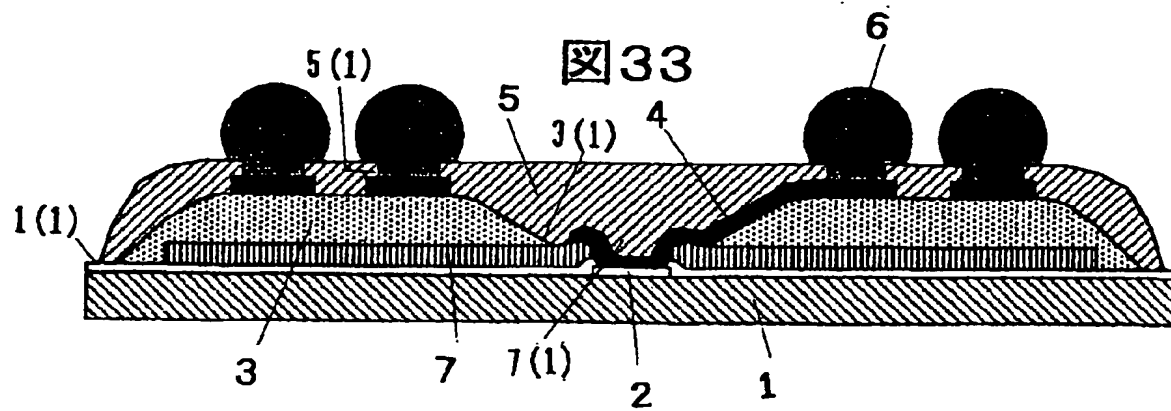
【図 3 1】



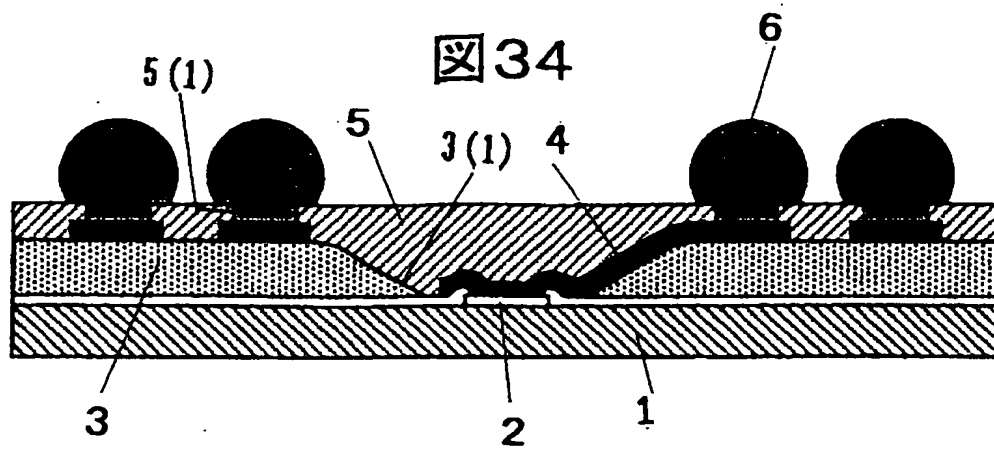
【図 3 2】



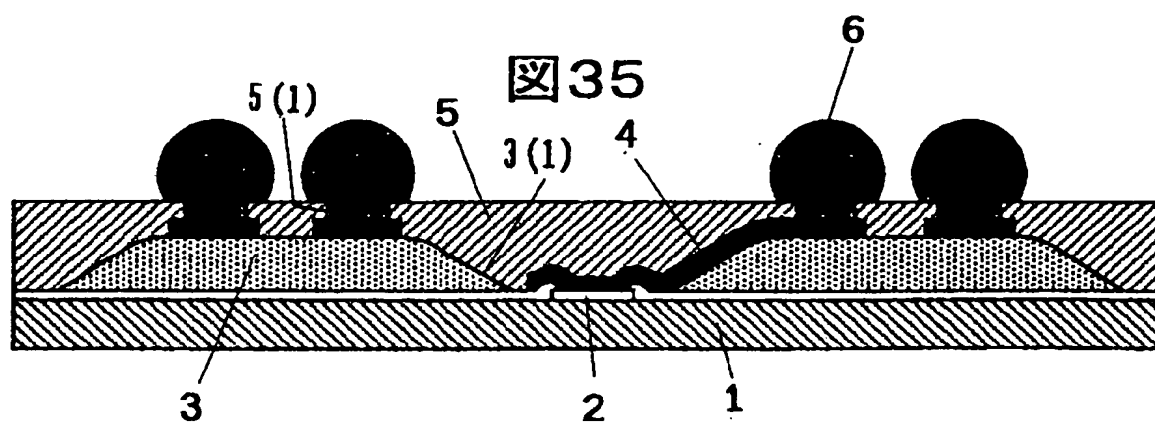
【図 3 3】



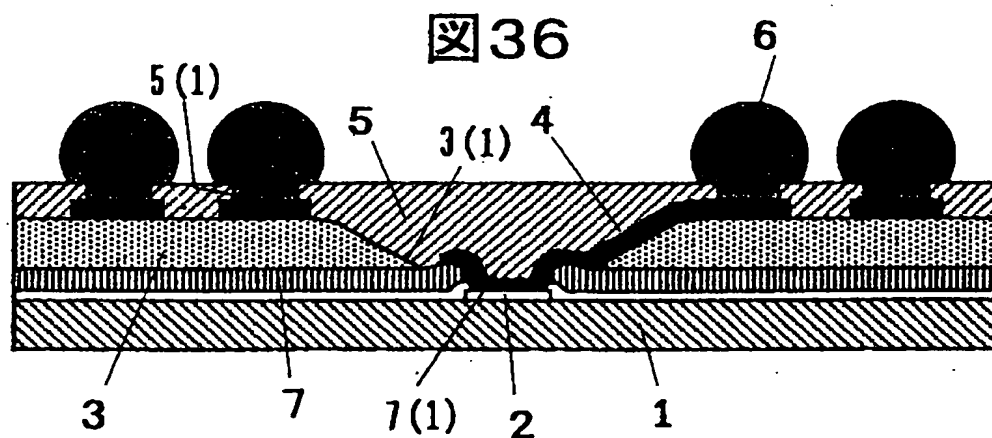
【図 3 4】



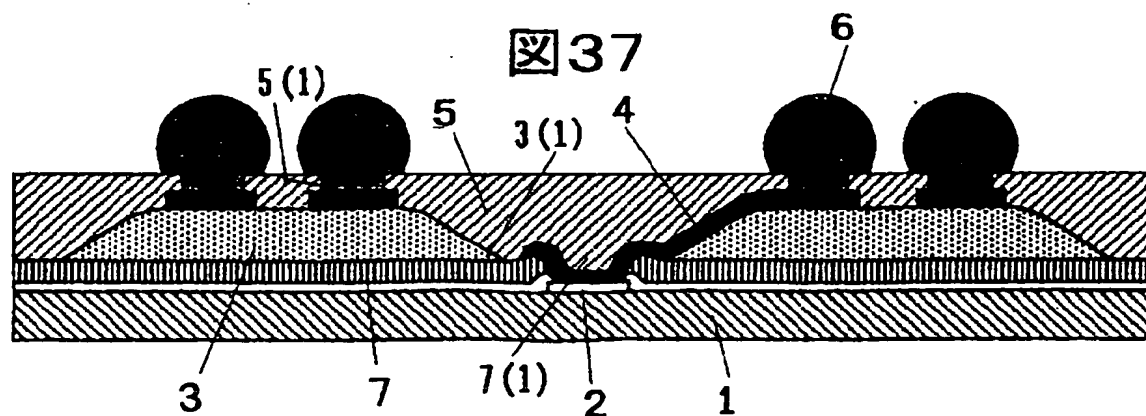
【図 3 5】



【図 3 6】



【図 3 7】



【書類名】 要約書

【要約】

【課題】 半導体ウエハ切断時や半導体装置実装時に集中応力が加わる構成部分を、応力に耐え得るようにして半導体装置の破損の発生を大幅に低減させ、信頼性が高く、製造歩留まりが良好な半導体装置及びその製造方法の提供する。

【解決手段】 一面に電極パッド 2 等を形成した半導体ウェハをスクライブラインに沿い切断して得られる半導体素子 1、電極パッド 2 上に開口 7 (1) を有する半導体素子 1 上の半導体素子保護層 7、電極パッド 2 上に開口 3 (1) を有する半導体素子保護層 7 上の応力緩衝層 3、前記電極パッド 2 から開口 7 (1)、3 (1) を通して応力緩衝層 3 上に達するリード配線部 4、リード配線部 4 上の外部電極 6、応力緩衝層 3 上の導体部保護層 5 を有する半導体装置であり、半導体素子保護層 7、応力緩衝層 3、導体部保護層 5 は、半導体素子 1 の端部表面 1 (1) 上の各端面をスクライブラインより内側に形成し、端部表面 1 (1) の端面からスクライブラインの内側までの範囲を露出する。

【選択図】 図 1 0

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日
[変更理由] 新規登録
住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所